

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-326322

(43)Date of publication of application : 25.11.1994

(51)Int.Cl.

H01L 29/788

H01L 29/792

(21)Application number : 05-097852

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 23.04.1993

(72)Inventor : SHIMIZU MASAHIRO  
SHIRAHATA MASAYOSHI  
KUROI TAKASHI  
YAMAGUCHI TAKEHISA

(30)Priority

Priority number : 05 60369

Priority date : 19.03.1993

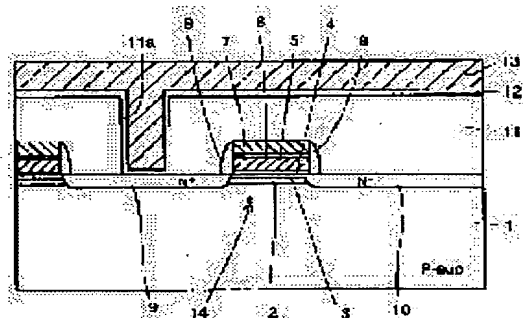
Priority country : JP

## (54) SEMICONDUCTOR STORAGE DEVICE PERMITTING ELECTRICAL WRITING AND ERASING OF INFORMATION AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To effectively prevent the deterioration of endurance characteristics when data is deleted, drain disturb phenomenon and the increase in resistance in a source area when the data is written.

CONSTITUTION: An N-type impurity layer 3 is formed on the main surface of a P-type silicon substrate 1 located in a channel region and at the same time a drain diffusion region 9 is formed so as not to overlie a floating gate electrode 5.



## LEGAL STATUS

[Date of request for examination] 17.07.1997

[Date of sending the examiner's decision of rejection] 30.01.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3200497  
[Date of registration] 15.06.2001  
[Number of appeal against examiner's decision of rejection] 2001-03081  
[Date of requesting appeal against examiner's decision of rejection] 01.03.2001  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平6-326322

(43) 公開日 平成6年(1994)11月25日

(51) Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/788

29/792

H 0 1 L 29/ 78

3 7 1

審査請求 未請求 請求項の数13 O L (全 32 頁)

(21) 出願番号 特願平5-97852

(22) 出願日 平成5年(1993)4月23日

(31) 優先権主張番号 特願平5-60369

(32) 優先日 平5(1993)3月19日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 清水 雅裕

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社エル・エス・アイ研究所内

(72) 発明者 白畑 正芳

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社エル・エス・アイ研究所内

(72) 発明者 黒井 隆

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社エル・エス・アイ研究所内

(74) 代理人 弁理士 深見 久郎 (外3名)

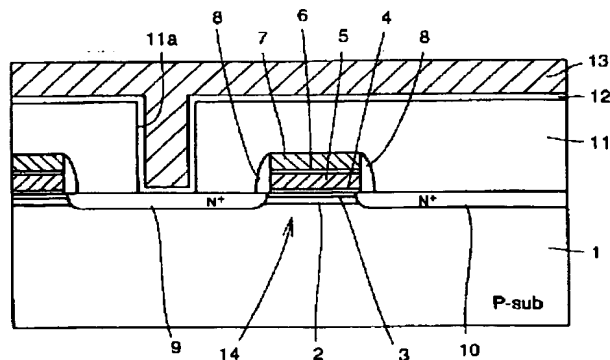
最終頁に続く

(54) 【発明の名称】 電氣的に情報の書込および消去が可能な半導体記憶装置およびその製造方法

(57) 【要約】

【目的】 本発明は、データの消去時に発生するエンデュランス特性の劣化とデータの書込時に発生するドレインディスターブ現象とソース領域の抵抗の上昇とを有効に防止することが可能な半導体記憶装置およびその製造方法を提供することを目的とする。

【構成】 チャネル領域に位置するP型シリコン基板1の主表面上にN型不純物層3を形成するとともに、ドレイン拡散領域9をフローティングゲート電極5と重ならないように形成する。



1:P型シリコン基板

3:N型不純物層

5:フローティングゲート電極

7:コントロールゲート電極

9:ドレイン拡散領域

2:P型不純物層

4:酸化膜

6:層間絶縁膜

8:サイドウォール酸化膜

10:ソース拡散領域

## 【特許請求の範囲】

【請求項 1】 電荷蓄積電極と制御電極とを有し、積層ゲート型の電氣的に情報の書込および消去が可能な半導体記憶装置であって、

主表面を有する第 1 導電型の半導体基板と、

前記半導体基板の主表面上にチャネル領域を挟むように所定の間隔を隔てて形成され、それらのうち少なくとも一方が前記チャネル領域上に位置する前記電荷蓄積電極との重なりを有しないように形成された第 2 導電型の第 1 と第 2 の不純物領域と、

前記チャネル領域に位置する前記半導体基板の主表面上に形成された第 2 導電型の第 3 の不純物領域とを備えた、電氣的に情報の書込および消去が可能な半導体記憶装置。

【請求項 2】 積層ゲート型の電氣的に情報の書込および消去が可能な半導体記憶装置であって、

主表面を有する第 1 導電型の半導体基板と、

前記半導体基板の主表面上にチャネル領域を挟むように所定の間隔を隔てて形成された第 2 導電型の第 1 と第 2 の不純物領域と、

前記チャネル領域に位置する前記半導体基板の主表面上に形成された第 2 導電型の第 3 の不純物領域と、

前記第 3 の不純物領域下に形成され、前記半導体基板との接合面深さが、前記第 1 および第 2 の不純物領域と、前記半導体基板との接合面深さよりも浅く形成された第 1 導電型の第 4 の不純物領域と、

前記第 3 の不純物領域上に第 1 の誘電体膜を介して形成された電荷蓄積電極と、

前記電荷蓄積電極上に第 2 の誘電体膜を介して形成された制御電極とを備えた、電氣的に情報の書込および消去が可能な半導体記憶装置。

【請求項 3】 主表面を有する第 1 導電型の半導体基板と、

前記半導体基板の主表面上にチャネル領域を挟むように所定の間隔を隔てて形成された第 2 導電型のソース領域およびドレイン領域と、

前記ソース領域上に接触して形成されたソース導電層と、

少なくとも前記チャネル領域上に第 1 の誘電体膜を介して形成された電荷蓄積電極と、

前記電荷蓄積電極上に第 2 の誘電体膜を介して形成された制御電極とを備えた、電氣的に情報の書込および消去が可能な半導体記憶装置。

【請求項 4】 前記チャネル領域に位置する前記半導体基板の主表面は凹凸形状を有している、請求項 3 に記載の電氣的に情報の書込および消去が可能な半導体記憶装置。

【請求項 5】 前記チャネル領域に位置する前記半導体基板の主表面上には第 2 導電型の不純物領域が形成されている、請求項 3 に記載の電氣的に情報の書込および消

去が可能な半導体記憶装置。

【請求項 6】 主表面を有する第 1 導電型の半導体基板と、

前記半導体基板の主表面上にチャネル領域を挟むように所定の間隔を隔てて形成された第 2 導電型のソース領域およびドレイン領域と、

前記ソース領域上に接触して形成されたソース導電層と、

少なくとも前記チャネル領域上と前記ソース導電層上とに接触して形成された第 1 の誘電体膜と、

前記第 1 の誘電体膜上に形成された電荷蓄積電極と、前記電荷蓄積電極上に第 2 の誘電体膜を介して形成された制御電極とを備え、

前記ソース領域は、前記電荷蓄積電極のうち前記チャネル領域上の前記第 1 の誘電体膜上に位置する部分との重なりを有しないように形成されている、電氣的に情報の書込および消去が可能な半導体記憶装置。

【請求項 7】 前記ドレイン領域上にはさらにドレイン導電層が接触して形成されており、

前記第 1 の誘電体膜はさらに前記ドレイン導電層上に接触して形成されており、

前記電荷蓄積電極はさらに前記ドレイン導電層上にも前記第 1 の誘電体膜を介して形成されており、

前記ドレイン領域は、前記電荷蓄積電極のうち前記チャネル領域上の前記第 1 の誘電体膜上に位置する部分との重なりを有しないように形成されている、請求項 6 に記載の電氣的に情報の書込および消去が可能な半導体記憶装置。

【請求項 8】 主表面を有する第 1 導電型の半導体基板と、

前記半導体基板の主表面上にチャネル領域を挟むように所定の間隔を隔てて形成された第 2 導電型のソース領域およびドレイン領域と、

前記ドレイン領域上に接触して形成されたドレイン導電層と、

前記チャネル領域上と前記ドレイン導電層上とに接触して形成された第 1 の誘電体膜と、

前記第 1 の誘電体膜上に形成された電荷蓄積電極と、

前記電荷蓄積電極上に第 2 の誘電体膜を介して形成された制御電極とを備え、

前記ドレイン領域は、前記電荷蓄積電極のうち前記チャネル領域上の前記第 1 の誘電体膜上に位置する部分との重なりを有しないように形成されている、電氣的に情報の書込および消去が可能な半導体記憶装置。

【請求項 9】 第 1 導電型の半導体基板の主表面上に第 2 導電型の不純物を導入することによって第 1 の不純物領域を形成する工程と、

前記半導体基板の主表面上の所定領域に第 1 の誘電体膜を介して電荷蓄積電極を形成する工程と、

前記電荷蓄積電極上に第 2 の誘電体膜を介して制御電極

を形成する工程と、  
前記電荷蓄積電極と前記制御電極との側壁部分に側壁絶縁膜を形成する工程と、  
前記制御電極と前記側壁絶縁膜とをマスクとして、前記半導体基板に第2導電型の不純物を導入することによって、第2と第3の不純物領域のうちの少なくとも一方を前記電荷蓄積電極との重なりを有しないように形成する工程とを備えた、電氣的に情報の書込および消去が可能な半導体記憶装置の製造方法。

【請求項10】 第1導電型の半導体基板の主表面上に第2導電型の不純物を導入することによって第1の不純物領域を形成する工程と、  
前記第1の不純物領域下に第1導電型の不純物を導入することによって、前記第1の不純物領域下に第2の不純物領域を形成する工程と、  
前記半導体基板の主表面上の所定領域に第1の誘電体膜を介して電荷蓄積電極を形成する工程と、  
前記電荷蓄積電極上に第2の誘電体膜を介して制御電極を形成する工程と、  
前記制御電極をマスクとして前記半導体基板に第2導電型の不純物を導入することによって、第3と第4の不純物領域を形成する工程とを備え、  
前記第2の不純物領域を形成する工程は、  
前記第2の不純物領域と前記半導体基板との接合面深さが、前記第3および第4の不純物領域と、前記半導体基板との接合面深さよりも浅く形成されるように前記第2の不純物の導入を制御する工程を含む、電氣的に情報の書込および消去が可能な半導体記憶装置の製造方法。

【請求項11】 第1導電型の半導体基板の主表面上にチャンネル領域を挟むように所定の間隔を隔てて第2導電型のソース領域およびドレイン領域を形成する工程と、  
前記ソース領域が形成される領域上にソース導電層を接触して形成する工程と、  
少なくとも前記チャンネル領域上に第1の誘電体膜を介して電荷蓄積電極を形成する工程と、  
前記電荷蓄積電極上に第2の誘電体膜を介して制御電極を形成する工程とを備えた、電氣的に情報の書込および消去が可能な半導体記憶装置の製造方法。

【請求項12】 前記チャンネル領域はその表面が凹凸形状になるように形成する、請求項11に記載の電氣的に情報の書込および消去が可能な半導体記憶装置の製造方法。

【請求項13】 第1導電型の半導体基板の主表面上にチャンネル領域を挟むように所定の間隔を隔てて第2導電型のソース領域およびドレイン領域を形成する工程と、  
前記ソース領域が形成される領域上にソース導電層を接触して形成する工程と、  
前記ドレイン領域が形成される領域上にドレイン導電層を接触して形成する工程と、  
前記チャンネル領域、前記ソース導電層および前記ドレイ

ン導電層上に接触して第1の誘電体膜を形成する工程と、  
前記第1の誘電体膜上に電荷蓄積電極を形成する工程と、  
前記電荷蓄積電極上に第2の誘電体膜を介して制御電極を形成する工程とを備え、  
前記ソース領域および前記ドレイン領域を形成する工程は、前記ソース領域と前記ドレイン領域とを、前記電荷蓄積電極のうち前記チャンネル領域上の前記第1の誘電体膜上に位置する部分との重なりを有しないように形成する工程を含む、電氣的に情報の書込および消去が可能な半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、電氣的に情報の書込および消去が可能な半導体記憶装置およびその製造方法に関し、特に、データの消去時に発生するエンデュランス特性の劣化の防止とデータの書込時に発生するドレインディスターブ現象の防止に関するものである。

【0002】

【従来の技術】従来、不揮発性半導体記憶装置の1つとして、データを自由にプログラムすることができしかも電氣的に情報の書込および消去が可能なEEPROM (Electrically Erasable and Programmable Read Only Memory) が知られている。このEEPROMは、書込および消去ともに電氣的に行なえるという利点はあるが、メモリセルに2つのトランジスタを必要とするため、高集積化が困難であるという不都合があった。そこで、従来、メモリセルが1つのトランジスタで構成され、書込まれた情報電荷を電氣的に一括消去することが可能なフラッシュEEPROMが提案されている。これらは、たとえば、米国特許第4,868,619号などに開示されている。

【0003】図57は、従来のフラッシュEEPROMの一般的な構成を示すブロック図である。図57を参照して、このフラッシュEEPROMは、行列状に配置されたメモリセルマトリックス100と、Xアドレスデコーダ200と、Yゲートセンスアンプ300と、Yアドレスデコーダ400と、アドレスバッファ500と、入出力バッファ600と、コントロールロジック700とを備えている。

【0004】メモリセルマトリックス100は、内部に行列状に配置された複数個のメモリトランジスタを含んでいる。メモリセルマトリックス100の行および列を選択するために、Xアドレスデコーダ200とYゲートセンスアンプ300とが接続されている。Yゲートセンスアンプ300には、列の選択情報を与えるYアドレスデコーダ400が接続されている。Xアドレスデコーダ200とYアドレスデコーダ400には、それぞれアド

レス情報が一時格納されるアドレスバッファ500が接続されている。

【0005】Yゲートセンスアンプ300には、入出力データを一時格納するための入出力バッファ600が接続されている。アドレスバッファ500と入出力バッファ600には、フラッシュEEPROMの動作を制御するためのコントロールロジック700が接続されている。コントロールロジック700は、チップイネーブル信号(/CE)、アウトプットイネーブル信号(/OE)およびプログラム信号(/PGM)に基づいた制御を行なう。

【0006】図58は、図57に示したメモリセルマトリックス100の概略構成を示す等価回路図である。図58を参照して、メモリセルマトリックス100内では、行方向に延びる複数本のワード線 $WL_1$ 、 $WL_2$ 、…、 $WL_i$ と、列方向に延びる複数本のビット線 $BL_1$ 、 $BL_2$ 、…、 $BL_j$ とが互いに直交するように配置されている。各ワード線と各ビット線との交点には、それぞれフローティングゲート電極を有するメモリトランジスタ $Q_{11}$ 、 $Q_{12}$ 、…、 $Q_{ij}$ が配設されている。各メモリトランジスタのドレインは、各ビット線に接続されている。メモリトランジスタのコントロールゲート電極は、各ワード線に接続されている。メモリトランジスタのソースは、各ソース線 $SL_1$ 、 $SL_2$ 、…、 $SL_i$ に接続されている。ソース線 $SL_1$ 、 $SL_2$ 、…、 $SL_i$ は、両側に配置されたソース線 $S_1$ 、 $S_2$ に接続されている。

【0007】図59は、従来のスタックゲート型(積層ゲート型)のフラッシュEEPROMを示した平面概略図である。図60は、図59に示したA-A線に沿って見た断面図である。図59および図60を参照して、従来のフラッシュEEPROMの構造について説明する。

【0008】まず、図59を参照して、コントロールゲート電極137は、相互に接続されて横方向(行方向)に延びるようにワード線として形成されている。ビット線139は、ワード線137と直交するように配置されている。そして、ビット線139は縦方向(列方向)に並ぶドレイン拡散領域132を相互に接続している。すなわち、ビット線139は、ドレインコンタクト140によって各ドレイン拡散領域132に電氣的に接続されている。図60を参照して、ビット線139は、スムーズコート膜141の上に延びるように形成されている。図59を参照して、ソース拡散領域133は、ワード線137が延びる方向に沿って延在し、ワード線137と素子分離酸化膜130とに囲まれた領域に形成されている。各ドレイン拡散領域132は、ワード線137と素子分離酸化膜130とによって囲まれた領域に形成されている。

【0009】次に、図60を参照して、P型シリコン基板131の主表面には、ドレイン拡散領域132とソース拡散領域133とが所定の間隔を隔ててチャンネル領域

を挟むように形成されている。そしてそのチャンネル領域上には膜厚100Å程度の薄い酸化膜134を介してフローティングゲート電極135が形成されている。フローティングゲート電極135から電氣的に分離するように、フローティングゲート電極135上に層間絶縁膜136を介してコントロールゲート電極137が形成されている。フローティングゲート電極135とコントロールゲート電極137は、多結晶シリコン層によって形成されている。熱酸化膜138は、P型シリコン基板131や多結晶シリコン層からなるフローティングゲート電極135およびコントロールゲート電極137の表面を熱酸化することによって形成されている。フローティングゲート電極135およびコントロールゲート電極137を覆うように酸化膜などからなるスムーズコート膜141が形成されている。

【0010】次に、図60を参照して、フラッシュEEPROMの動作について説明する。まず、書込動作においては、ドレイン拡散領域132に6～8V程度の電圧 $V_{o1}$ 、コントロールゲート電極137に10～15V程度の電圧 $V_{c1}$ が印加される。この電圧 $V_{o1}$ 、 $V_{c1}$ の印加によって、ドレイン拡散領域132と酸化膜134の近傍でアバランシェ降伏現象が発生する。このアバランシェ降伏現象によって高いエネルギーを有する電子が発生する。この電子の一部は、コントロールゲート電極137に印加された電圧 $V_{c1}$ による電界によって、フローティングゲート電極135に引き寄せられて注入される。このようにして、フローティングゲート電極135に電子の蓄積が行なわれると、コントロールゲートトランジスタのしきい値電圧 $V_{th}$ が高くなる。このしきい値電圧 $V_{th}$ が所定の値よりも高くなった状態が書込まれた状態であり、“0”の状態と呼ばれる。

【0011】次に、消去動作においては、ソース拡散領域133に10～12V程度の電圧 $V_s$ が印加され、コントロールゲート電極137は接地電位、ドレイン拡散領域133はフローティング状態に保持される。ソース拡散領域133に印加された電圧 $V_s$ による電界によって、フローティングゲート電極135の中の電子は薄い酸化膜134をF-N(Fowler-Nordheim)トンネル現象によって通過する。このようにして、フローティングゲート電極135中の電子が引き抜かれることにより、コントロールゲートトランジスタのしきい値電圧 $V_{th}$ が低くなる。このしきい値電圧 $V_{th}$ が所定の値よりも低くなった状態が消去された状態であり、“1”の状態と呼ばれる。ここで、各メモリトランジスタのソースは、図59に示したように相互に接続されているので、この消去動作によってすべてのメモリセルの一括消去が行なわれる。

【0012】さらに、読出動作においては、コントロールゲート電極137に5V程度の電圧 $V_{c1}$ 、ドレイン拡散領域132に1～2V程度の電圧 $V_{o2}$ が印加される。

そのとき、コントロールゲートトランジスタのチャネル領域に電流が流れるかどうか、すなわちコントロールゲートトランジスタがon状態かoff状態かによって上記した“1”、“0”の判定が行なわれる。これにより、情報の読出が行なわれる。

【0013】

【発明が解決しようとする課題】上述した従来の半導体記憶装置では、データの書込時に以下に説明するドレインディスタースタブ現象が生じるという問題点があった。図61は、ドレインディスタースタブ現象を説明するためのメモリセルマトリックス100の部分等価回路図である。図62はF-Nトンネリングによるドレインディスタースタブ現象を説明するための断面構造図であり、図63はバンド間トンネリングによるドレインディスタースタブ現象を説明するための断面構造図である。

【0014】まず、図61を参照して、従来のフラッシュEEPROMでは、1つのメモリセルを1つのトランジスタで構成するため、従来のEEPROMのように選択トランジスタが存在しない。このため、情報の書込時では、同一のビットライン(BL<sub>1</sub>)につながる各メモリトランジスタのドレイン拡散領域(D)にはすべて書込電圧6~8Vが印加される。すなわち、情報の書込のために選択された選択セルは、ビットラインBL<sub>1</sub>を介してドレイン拡散領域(D)に6~8Vが印加され、ワードラインWL<sub>1</sub>を介してコントロールゲート電極(C)に10~15Vが印加される。この際、選択されていない非選択セルのドレイン拡散領域(D)にもビットラインBL<sub>1</sub>を介して6~8Vが印加される。ドレイン拡散領域(D)に6~8Vが印加された非選択セルは、そのコントロールゲート電極(C)には0Vが印加されている。ここで、この非選択セルが書込状態である場合には、その非選択セルのフローティングゲート電極に電子が蓄積された状態となっている。すなわち、フローティングゲート電極の電位は約-3V程度になっている。この状態の非選択セルのドレイン拡散領域(D)に6~8V、コントロールゲート電極(C)に0V(非選択状態)が印加されると、フローティングゲート電極とドレイン拡散領域との間には10MV/cmにも達する高い電界が発生する。これによって、F-Nトンネリングによるドレインディスタースタブ現象とバンド間トンネリングによるドレインディスタースタブ現象が発生する。

【0015】すなわち、図62を参照して、フローティングゲート電極135とドレイン拡散領域132との間に10MV/cmにも達する高電界が発生すると、フローティングゲート電極135中に注入されている電子がF-Nトンネリングによるドレイン拡散領域132へと引き抜かれる。この結果、非選択セルの消去が行なわれてしまう。これが、いわゆるF-Nトンネリングによるドレインディスタースタブ現象である。

【0016】次に、図63を参照して、フローティング

ゲート電極135とドレイン拡散領域132との間に高電界が発生すると、バンド間トンネリングが生じ、ホールが発生する。その発生したホールがフローティングゲート電極135に注入されることによって、結果的に電子が引き抜かれる状態と同じになる。この結果、非選択セルの消去が行なわれてしまう。これが、いわゆるバンド間トンネリングによるドレインディスタースタブ現象である。

【0017】このようなドレインディスタースタブ現象が発生すると、ある確率で書込まれたデータが破壊されてしまい、素子の信頼性を低下させるという問題点があった。

【0018】さらに、従来のフラッシュEEPROMでは、データの消去時に、以下に説明するエンデュランス特性の劣化が発生するという問題点があった。図64は、データの消去時に発生するエンデュランス特性の劣化を説明するための断面構造図である。図64を参照して、従来のフラッシュEEPROMでは、消去動作の際に、コントロールゲート電極137に0V、ソース拡散領域133に10~12V程度の電圧を印加する。この際、ソース拡散領域133の近傍では、高電界によりバンド間トンネリングが生じ、ホールが発生する。この発生したホールがフローティングゲート電極135下に位置する酸化膜134にトラップされて酸化膜134の膜質が劣化してしまうという不都合が生じていた。このように酸化膜134の膜質が劣化すると、データの消去時にフローティングゲート電極135から電子を引き抜きにくくなるという問題点がある。このような現象は、「エンデュランス特性の劣化」と呼ばれており、たとえば、IEEE ELECTRON DEVICE LETTERS, VOL. 10, No. 3, March 1989, PP117-119に開示されている。

【0019】また、従来のフラッシュEEPROMでは、図58に示したように、各メモリセルトランジスタのソースはソース線SL<sub>1</sub>、SL<sub>2</sub>、…に接続されている。ここで、従来ではこのソース線SL<sub>1</sub>、SL<sub>2</sub>として、ソース拡散領域133自体を用いていた。すなわち、複数のメモリセルトランジスタに共通するソース拡散領域133を形成することによってソース線SL<sub>1</sub>、SL<sub>2</sub>を構成していた。

【0020】しかしながら、このようにソース拡散領域133によってソース線SL<sub>1</sub>、SL<sub>2</sub>、…を構成すると、微細化に伴ってソース拡散領域133の大きさが小さくなった場合にソース線SL<sub>1</sub>、SL<sub>2</sub>、…の抵抗が増加するという不都合が生じていた。この結果、データ信号が遅延するという問題点があった。

【0021】上記のように、従来のフラッシュEEPROMでは、データの書込時にドレインディスタースタブ現象が生じるという問題点があり、またデータの消去時にエンデュランス特性の劣化が生じるという問題点があっ

た。さらに素子が微細化されるとソース線SL<sub>1</sub>、SL<sub>2</sub>、…を構成するソース拡散領域133の抵抗が上昇してしまうという問題点があった。

【0022】この発明は、上記のような課題を解決するためになされたもので、請求項1および2に記載の発明の1つの目的は、半導体記憶装置において、素子の信頼性を向上させることである。

【0023】請求項1に記載の発明のもう1つの目的は、半導体記憶装置において、データの書込時に発生するドレインディスタート現象とデータの消去時に発生するエンデュランス特性の劣化を有効に防止することである。

【0024】請求項2に記載の発明のもう1つの目的は、半導体記憶装置において、データの消去時のエンデュランス特性の劣化を有効に防止するとともに素子の微細化を図ることである。

【0025】請求項2に記載の発明のさらにもう1つの目的は、半導体記憶装置において、パンチスルー現象を極力防止しながらデータの消去時のエンデュランス特性の劣化を有効に防止することである。

【0026】請求項2に記載の発明のもう1つの目的は、半導体記憶装置において、バンド間トンネリングによるドレインディスタート現象とエンデュランス特性の劣化を有効に防止することである。

【0027】請求項3～請求項8に記載の発明の目的は、半導体記憶装置において、ソース線を構成するソース領域の抵抗値を低下させることである。

【0028】請求項7に記載の発明のもう1つの目的は、ドレインディスタート現象とエンデュランス特性の劣化を有効に防止することである。

【0029】請求項9に記載の発明の目的は、半導体記憶装置の製造方法において、ドレインディスタート現象とエンデュランス特性の劣化を有効に防止することが可能な半導体記憶装置を容易に製造することである。

【0030】請求項10に記載の発明の目的は、半導体記憶装置の製造方法において、パンチスルー現象を極力防止しながらエンデュランス特性の劣化を有効に防止することが可能な半導体記憶装置を容易に製造することである。

【0031】請求項11～請求項13に記載の発明の目的は、半導体記憶装置の製造方法において、ソース線を構成するソース領域の抵抗値を有効に低減し得る半導体記憶装置を容易に製造することである。

【0032】

【課題を解決するための手段】請求項1における半導体記憶装置は、電荷蓄積電極と制御電極とを有する積層ゲート型の電氣的に情報の書込および消去が可能な半導体記憶装置であって、主表面を有する第1導電型の半導体基板と、半導体基板の主表面上にチャネル領域を挟むように所定の間隔を隔てて形成され、それらのうち少なく

とも一方がチャネル領域上に位置する電荷蓄積電極との重なりを有しないように形成された第2導電型の第1と第2の不純物領域と、チャネル領域に位置する半導体基板の主表面上に形成された第2導電型の第3の不純物領域とを備えている。

【0033】請求項2における半導体記憶装置は、積層ゲート型の電氣的に情報の書込および消去が可能な半導体記憶装置であって、主表面を有する第1導電型の半導体基板と、その半導体基板の主表面上にチャネル領域を挟むように所定の間隔を隔てて形成された第2導電型の第1と第2の不純物領域と、チャネル領域に位置する半導体基板の主表面上に形成された第2導電型の第3の不純物領域と、第3の不純物領域下に形成され、半導体基板との接合面深さが第1と第2の不純物領域と半導体基板との接合面深さよりも浅く形成された第1導電型の第4の不純物領域と、第3の不純物領域上に第1の誘電体膜を介して形成された電荷蓄積電極と、その電荷蓄積電極上に第2の誘電体膜を介して形成された制御電極とを備えている。

【0034】請求項3～5における半導体記憶装置は、主表面を有する第1導電型の半導体基板と、その半導体基板の主表面上にチャネル領域を挟むように所定の間隔を隔てて形成された第2導電型のソース領域およびドレイン領域と、ソース領域上に接触して形成されたソース導電層と、少なくともチャネル領域上に第1の誘電体膜を介して形成された電荷蓄積電極と、その電荷蓄積電極上に第2の誘電体膜を介して形成された制御電極とを備えている。

【0035】また、好ましくは、上記したチャネル領域に位置する半導体基板の主表面が凹凸形状を有するように構成する。また、好ましくは、チャネル領域に位置する半導体基板の主表面上に第2導電型の不純物領域を形成するように構成する。

【0036】請求項6および7における半導体記憶装置は、主表面を有する第1導電型の半導体基板と、その半導体基板の主表面上にチャネル領域を挟むように所定の間隔を隔てて形成された第2導電型のソース領域およびドレイン領域と、ソース領域上に接触して形成されたソース導電層と、少なくともチャネル領域上とソース導電層上とに接触して形成された第1の誘電体膜と、その第1の誘電体膜上に形成された電荷蓄積電極と、その電荷蓄積電極上に第2の誘電体膜を介して形成された制御電極とを備えている。そして、そのソース領域は、電荷蓄積電極のうち上記したチャネル領域上の第1の誘電体膜上に位置する部分との重なりを有しないように形成されている。

【0037】また、好ましくは、上記したドレイン領域上にさらにドレイン導電層が接触して形成され、上記した第1の誘電体膜はさらにそのドレイン導電層上に接触して形成されており、電荷蓄積電極はさらにドレイン導



電層上に第1の誘電体膜を介して形成されている。そして、ドレイン領域は、電荷蓄積電極のうちチャンネル領域上の第1の誘電体膜上に位置する部分との重なりを有しないように形成されている。

【0038】請求項8における半導体記憶装置は、主表面を有する第1導電型の半導体基板と、その半導体基板の主表面上にチャンネル領域を挟むように所定の間隔を隔てて形成された第2導電型のソース領域およびドレイン領域と、ドレイン領域上に接触して形成されたドレイン導電層と、チャンネル領域上とドレイン導電層上とに接触して形成された第1の誘電体膜と、その第1の誘電体膜上に形成された電荷蓄積電極と、その電荷蓄積電極上に第2の誘電体膜を介して形成された制御電極とを備えている。そして、ドレイン領域は、電荷蓄積電極のうちチャンネル領域上の第1の誘電体膜上に位置する部分との重なりを有しないように形成されている。

【0039】請求項9における半導体記憶装置の製造方法は、第1導電型の半導体基板の主表面上に第2導電型の不純物を導入することによって第1の不純物領域を形成する工程と、半導体基板の主表面上の所定領域に第1の誘電体膜を介して電荷蓄積電極を形成する工程と、その電荷蓄積電極上に第2の誘電体膜を介して制御電極を形成する工程と、電荷蓄積電極と制御電極との側壁部分に側壁絶縁膜を形成する工程と、制御電極と側壁絶縁膜とをマスクとして半導体基板に第2導電型の不純物を導入することによって第2と第3の不純物領域のうちの少なくとも一方を電荷蓄積電極との重なりを有しないように形成する工程とを備えている。

【0040】請求項10における半導体記憶装置の製造方法は、第1導電型の半導体基板の主表面上に第2導電型の不純物を導入することによって第1の不純物領域を形成する工程と、その第1の不純物領域下に第1導電型の不純物を導入することによって第1の不純物領域下に第2の不純物領域を形成する工程と、半導体基板の主表面上の所定領域に第1の誘電体膜を介して電荷蓄積電極を形成する工程と、その電荷蓄積電極上に第2の誘電体膜を介して制御電極を形成する工程と、制御電極をマスクとして半導体基板に第2導電型の不純物を導入することによって第3と第4の不純物領域を形成する工程とを備えている。そして、上記した第2の不純物領域を形成する工程は、その第2の不純物領域と半導体基板との接合面深さが第3および第4の不純物領域と半導体基板との接合面深さよりも浅く形成されるように第2の不純物の導入を制御する工程を含んでいる。

【0041】請求項11および12における半導体記憶装置の製造方法は、第1導電型の半導体基板の主表面上にチャンネル領域を挟むように所定の間隔を隔てて第2導電型のソース領域およびドレイン領域を形成する工程と、そのソース領域が形成される領域上にソース導電層を接触して形成する工程と、少なくともチャンネル領域上

に第1の誘電体膜を介して電荷蓄積電極を形成する工程と、その電荷蓄積電極上に第2の誘電体膜を介して制御電極を形成する工程とを備えている。

【0042】また、好ましくは、上記したチャンネル領域をその表面が凹凸形状になるように形成する。

【0043】請求項13における半導体記憶装置の製造方法は、第1導電型の半導体基板の主表面上にチャンネル領域を挟むように所定の間隔を隔てて第2導電型のソース領域およびドレイン領域を形成する工程と、ソース領域が形成される領域上にソース導電層を接触して形成する工程と、ドレイン領域が形成される領域上にドレイン導電層を接触して形成する工程と、チャンネル領域、ソース導電層およびドレイン導電層上に接触して第1の誘電体膜を形成する工程と、その第1の誘電体膜上に電荷蓄積電極を形成する工程と、その電荷蓄積電極上に第2の誘電体膜を介して制御電極を形成する工程とを備えている。そして、上記したソース領域およびドレイン領域を形成する工程は、ソース領域とドレイン領域とを電荷蓄積電極のうちチャンネル領域上の第1の誘電体膜上に位置する部分との重なりを有しないように形成する工程を含んでいる。

【0044】

【作用】請求項1に係る半導体記憶装置では、第1導電型の半導体基板の主表面上にチャンネル領域を挟むように所定の間隔を隔てて第2導電型の第1と第2の不純物領域が形成され、チャンネル領域に位置する半導体基板の主表面上に第2導電型の第3の不純物領域が形成されているので、データの消去時に第3の不純物領域とソース領域となる第2または第3の不純物領域との境界領域に高電界がかかることがなく、この領域におけるバンド間トンネリングの発生が有効に防止される。これにより、データの消去時に発生するバンド間トンネリング自体が従来に比べて軽減されるとともに、バンド間トンネリングの発生位置が第3の不純物領域の下方に位置し第1の誘電体膜から遠くなる。この結果、データの消去時にバンド間トンネリングにより発生したホールが第1の誘電体膜にトラップされるのが有効に防止される。これにより、データの消去時に第1の誘電体膜の膜質が劣化することもなく電荷蓄積電極から電子が引き抜きにくくなるという不都合も生じない。また、この第3の不純物領域によって、データの書込時に非選択セルの第3の不純物領域とドレイン領域となる第2または第3の不純物領域との境界領域で発生するバンド間トンネリングも軽減されるので、データの書込時に非選択セルで発生するバンド間トンネリングによるドレインディスターブ現象が軽減される。

【0045】さらに、この請求項1に係る半導体記憶装置では、第1の不純物領域と第2の不純物領域のうちの少なくとも一方が電荷蓄積電極との重なりを有しないように形成されているので、データの書込時に非選択セル

の電荷蓄積電極とドレイン領域となる第1または第2の不純物領域との間の電界が従来に比べて弱められ、F-Nトンネリングによるドレインディスタート現象が有効に防止される。また、電荷蓄積電極とドレイン領域となる第1または第2の不純物領域とが重なりを有しないので、非選択セルの電界集中が発生する位置が電荷蓄積電極の直下に位置しなくなり、バンド間トンネリングにより発生するホールも電荷蓄積電極の直下に位置しなくなる。これにより、バンド間トンネリングにより発生したホールが電荷蓄積電極に注入されるのが防止され、バンド間トンネリングによるドレインディスタート現象が有効に防止される。

【0046】請求項2に係る半導体記憶装置では、第1導電型の半導体基板の主表面上にチャンネル領域を挟むように所定の間隔を隔てて所定の接合深さを有する第2導電型の第1と第2の不純物領域が形成され、チャンネル領域に位置する半導体基板の主表面上に第2導電型の第3の不純物領域が形成されるので、請求項1と同様に、電荷蓄積電極から電子が引き抜かれにくくなるという不都合が生じないとともに、データの書込時に非選択セルで発生するバンド間トンネリングによるドレインディスタート現象も軽減される。さらに、この請求項2に係る半導体記憶装置では、チャンネル領域に位置する半導体基板の領域に第2導電型の第3の不純物領域下に第1導電型の第4の不純物領域が形成されているので、第3の不純物領域の存在によって形成されるチャンネル領域が第3の不純物領域の下に位置してそのチャンネル領域への電荷蓄積電極からの電界が弱められる場合にも、上記した第4の不純物領域の不純物濃度を高くすることによってアバランシェ現象が促進され、データの書込時の書込効率の低下が有効に防止される。しかも、第4の不純物領域は第1と第2の不純物領域の接合深さよりも浅い領域に形成されているので、それに比例して第3の不純物領域も浅くなり、第3の不純物領域下に位置するチャンネル領域への電荷蓄積電極からの電界が弱められるのが有効に防止される。これにより、素子の微細化に伴って電荷蓄積電極からの制御が不可能となるいわゆるバンチスルー現象が発生するのが極力防止される。つまり、この請求項2に係る半導体記憶装置では、バンチスルー現象の発生が極力防止されながら、データの消去時に電荷蓄積電極から電子を引き抜きにくくなる現象（エンデュランス特性の劣化）が有効に防止される。

【0047】請求項3～5に係る半導体記憶装置では、ソース領域上に接触してソース導電層が形成されているので、各メモリトランジスタに共通のソース領域を形成した場合において素子の微細化に伴ってそのソース領域が小さくなったとしてもソース領域の抵抗の上昇が有効に防止される。

【0048】また、上記したチャンネル領域に位置する半導体基板の主表面を凹凸形状を有するように形成すれ

ば、その凹凸形状の凸部において電界集中が発生しやすくなり、チャンネル領域にかかる垂直電界が強められる。これにより、書込の際に電子が電荷蓄積電極に飛び込みやすくなり、また消去の際に電荷蓄積電極から電子が引き抜かれやすくなる。この結果、書込および消去の効率が向上される。

【0049】さらに、チャンネル領域に位置する半導体基板の主表面上に第2導電型の不純物領域を形成すれば、データの消去時にその不純物領域とソース領域との境界領域に高電界がかかることがなく、この領域におけるバンド間トンネリングの発生が有効に防止される。これにより、データの消去時に発生するバンド間トンネリング自体が従来に比べて軽減されるとともに、バンド間トンネリングの発生位置がその不純物領域の下に位置し第1の誘電体膜から遠くなる。この結果、データの消去時にバンド間トンネリングにより発生したホールが第1の誘電体膜にトラップされるのが有効に防止される。

【0050】請求項6および7に係る半導体記憶装置では、ソース領域上に接触してソース導電層が形成されているので、各メモリトランジスタに共通するソース領域を形成した場合において素子の微細化に伴ってそのソース領域が小さくなったとしてもソース領域の抵抗が上昇するのが有効に防止される。また、第1の誘電体膜がソース導電層上にも形成され、その第1の誘電体膜上に電荷蓄積電極が形成されているので、データの消去時に電荷蓄積電極とソース導電層との重なり部分で電荷蓄積電極から電子が引き抜かれる。また、その重なり部分の面積は自由に設定できるので、重なり部分の面積を大きく取れば、良好な消去特性が得られる。これと同時に、ソース領域が電荷蓄積電極のうちチャンネル領域上の第1の誘電体膜上に位置する部分との重なりを有しないように形成されているので、電界集中が発生する位置がチャンネル領域上の電荷蓄積電極の直下に位置しなくなり、バンド間トンネリングにより発生するホールもチャンネル領域上の電荷蓄積電極の直下に位置しなくなる。これにより、データの消去時にバンド間トンネリングにより発生したホールが第1の誘電体膜にトラップされるのが有効に防止される。また、上記したドレイン領域上にさらにドレイン導電層を接触して形成し、そのドレイン導電層上に第1の誘電体膜を介して電荷蓄積電極を形成し、ドレイン領域を電荷蓄積電極のうちチャンネル領域上の第1の誘電体膜上に位置する部分との重なりを有しないように形成すれば、次のような作用が得られる。すなわち、ドレイン導電層と電荷蓄積電極との重なり部分でF-N電流によるデータの書込が行なわれる。また、その重なり部分の面積は自由に設定できるので、重なり部分の面積を大きく取れば、良好な書込特性が得られる。これと同時にドレイン領域は電荷蓄積電極のうちチャンネル領域上の第1の誘電体膜上に位置する部分との重なりを有しないように形成されているので、非選択セルの電界集中

が発生する位置が電荷蓄積電極のうちチャンネル領域上に位置する部分の直下に位置しなくなり、バンド間トンネリングにより発生するホールも電荷蓄積電極の直下に位置しなくなる。これにより、バンド間トンネリングにより発生したホールが電荷蓄積電極に注入されるのが防止され、バンド間トンネリングによるドレインディスタート現象が有効に防止される。また、チャンネル領域上の電荷蓄積電極とドレイン領域との間の電界も弱められるのでF-Nトンネリングによるドレインディスタート現象も防止される。

【0051】請求項8に係る半導体記憶装置では、ドレイン領域上にドレイン導電層が接触して形成され、そのドレイン領域上にも第1の誘電体膜を介して電荷蓄積電極が形成されているので、そのドレイン導電層と電荷蓄積電極との重なり部分でF-N電流によりデータの書込動作が行なわれる。また、その重なり部分の面積は自由に設定できるので、重なり部分の面積を大きく取れば、良好な書込特性が得られる。これと同時に、ドレイン領域が電荷蓄積電極のうちチャンネル領域上の第1の誘電体膜上に位置する部分との重なりを有しないように形成されているので、非選択セルの電界集中が発生する位置が電荷蓄積電極の直下に位置しなくなり、バンド間トンネリングにより発生するホールも電荷蓄積電極の直下に位置しなくなる。この結果、バンド間トンネリングにより発生したホールが電荷蓄積電極に注入されるのが防止され、バンド間トンネリングによるドレインディスタート現象が防止される。また、チャンネル領域上の電荷蓄積電極とドレイン領域との間の電界も弱められるのでF-Nトンネリングによるドレインディスタート現象も防止される。

【0052】請求項9に係る半導体記憶装置の製造方法では、電荷蓄積電極と制御電極との側壁部分に側壁絶縁膜が形成され、制御電極と側壁絶縁膜とをマスクとして半導体基板に第2導電型の不純物が導入されることによって第2と第3の不純物領域のうちの少なくとも一方が形成されるので、第2と第3の不純物領域のうちの少なくとも一方が容易に電荷蓄積電極と重ならないように形成される。これにより、データの書込時に非選択セルの電荷蓄積電極とドレイン領域となる第2または第3の不純物領域との間の電界が従来に比べて弱められ、F-Nトンネリングによるドレインディスタート現象が有効に防止される。また、非選択セルの電界集中が発生する位置が電荷蓄積電極の直下に位置しなくなり、バンド間トンネリングにより発生するホールも電荷蓄積電極の直下に位置しなくなる。これにより、バンド間トンネリングにより発生したホールが電荷蓄積電極に注入されるのが防止され、バンド間トンネリングによるドレインディスタート現象が有効に防止される。

【0053】さらにこの請求項9に係る半導体記憶装置の製造方法では、第1導電型の半導体基板の主表面上に

第2導電型の不純物を導入することによって第1の不純物領域が形成されるので、チャンネル領域に位置する第1の不純物領域とソース領域となる第2または第3の不純物領域との境界領域においてデータの消去時に高電界がかかることがなく、この領域におけるバンド間トンネリングの発生が有効に防止される。これにより、データの消去時に発生するバンド間トンネリング自体が従来に比べて軽減されるとともに、バンド間トンネリングの発生位置が第3の不純物領域の下方に位置し第1の誘電体膜から遠くなる。この結果、データの消去時にバンド間トンネリングにより発生したホールが第1の誘電体膜にトラップされるのが有効に防止される。これにより、データの消去時に第1の誘電体膜の膜質が劣化することもなく、電荷蓄積電極から電子が引き抜かれにくくなるという不都合も生じない。さらに、第1の不純物領域によってデータの書込時に非選択セルの第1の不純物領域とドレイン領域となる第2または第3の不純物領域との境界領域で発生するバンド間トンネリングも軽減されるので、データの書込時に非選択セルで発生するバンド間トンネリングによるドレインディスタート現象も軽減される。

【0054】請求項10に係る半導体記憶装置の製造方法では、第1導電型の半導体基板の主表面上に第2導電型の不純物が導入されることによって第1の不純物領域が形成されるので、請求項3と同様に、電荷蓄積電極から電子が引き抜かれにくくなるという不都合が生じないとともに、データの書込時に非選択セルで発生するバンド間トンネリングによるドレインディスタート現象も軽減される。さらに、第1の不純物領域が形成される領域よりも深い領域に第1導電型の不純物を導入することによって第1の不純物領域を覆う第2の不純物領域が形成されるので、第1の不純物領域の存在によってチャンネル領域が第1の不純物領域の下に位置してそのチャンネル領域への電荷蓄積電極からの電界が弱められる場合にも、第2の不純物領域の不純物濃度を高くすればアバランシェ現象が促進され、データの書込時に書込効率が低下するのが有効に防止される。また、第2の不純物領域は、それぞれソース領域またはドレイン領域を構成する第3と第4の不純物領域の接合深さよりも浅い深さを有するように形成されるので、それに比例して第1の不純物領域も浅くなり、第1の不純物領域下に位置するチャンネル領域への電荷蓄積電極からの電界が弱められるのが有効に防止され、電荷蓄積電極からの制御が不可能となるいわゆるパンチスルー現象が有効に防止される。

【0055】請求項11および12に係る半導体記憶装置の製造方法では、ソース領域が形成される領域上にソース導電層が接触して形成されるので、素子が微細化されてソース領域の大きさが小さくなったとしてもソース領域の抵抗の上昇を有効に防止し得る半導体装置が容易に製造される。

【0056】また、上記したチャネル領域の表面を凹凸形状に形成すれば、その凹凸形状の凸部によって電界集中が発生しやすくなりチャネル領域における垂直電界が強められる。これにより、データの消去時に電荷蓄積電極から電子が引き抜かれやすくなるとともにデータの書込時に電荷蓄積電極に電子が注入されやすくなる。この結果、データの書込効率および消去効率が良好な半導体記憶装置が容易に製造される。

【0057】請求項13に係る半導体記憶装置の製造方法では、ソース領域が形成される領域上にソース導電層が接触して形成されるので素子が微細化されてソース領域の大きさが小さくなったとしてもソース領域の抵抗の上昇が有効に防止される。また、そのソース導電層上に第1の誘電体膜を介して電荷蓄積電極が形成されるので、そのソース導電層と電荷蓄積電極との重なり部分で消去動作が行なわれる。これと同時に、ソース領域がいわゆるオフセット構造に形成されているので、ソース領域の近傍でバンド間トンネリングにより発生するホールがチャネル領域上の電荷蓄積電極の直下に位置しなくなる。これにより、バンド間トンネリングにより発生したホールが第1の誘電体膜に注入されるのが防止される。また、ドレイン領域が形成される領域上にドレイン導電層が形成され、そのドレイン導電層上にも第1の誘電体膜を介して電荷蓄積電極が形成されているので、そのドレイン導電層と電荷蓄積電極との重なり部分でF-N電流を用いて書込動作が行なわれる。これと同時に、ドレイン導電層もいわゆるオフセット構造に形成されているので、非選択セルの電界集中が発生する位置がチャネル領域上の電荷蓄積電極の直下に位置しなくなり、バンド間トンネリングにより発生するホールもチャネル領域上の電荷蓄積電極の直下に位置しなくなる。これにより、バンド間トンネリングにより発生したホールが電荷蓄積電極に注入されるのが防止され、バンド間トンネリングによるドレインディスタース現象が有効に防止される。また、チャネル領域上の電荷蓄積電極とドレイン領域との間の電界も弱められるので、F-Nトンネリングによるドレインディスタース現象も防止される。

【0058】

【実施例】実施例1

以下、本発明の実施例を図面に基づいて説明する。

【0059】図1は本発明の第1実施例によるスタックゲート型のフラッシュEEPROMを示した断面構造図である。図2は図1に示したフラッシュEEPROMのメモリエセル部分を示した断面構造図である。図1および図2を参照して、第1実施例のフラッシュEEPROMの構造について説明する。

【0060】この第1実施例のフラッシュEEPROMでは、P型シリコン基板1の主表面上の所定領域にチャネル領域14を挟むように所定の間隔を隔ててN型のドレイン拡散領域9とソース拡散領域10とが形成されて

いる。チャネル領域14に位置するP型シリコン基板1の主表面上にはN型不純物層3が形成されている。N型不純物層3下には、ドレイン拡散領域9およびソース拡散領域10の接合面深さよりも浅い接合面深さを有するようにP型不純物層2が形成されている。N型不純物層3上には酸化膜4を介してフローティングゲート電極5が形成されている。フローティングゲート電極上には層間絶縁膜6を介してコントロールゲート電極7が形成されている。フローティングゲート電極5およびコントロールゲート電極7の両側壁部分にはサイドウォール酸化膜8が形成されている。ドレイン拡散領域9上にコンタクトホール11aを有するとともにその上表面が平坦化された層間絶縁膜11が全面を覆うように形成されている。コンタクトホール11a内でドレイン拡散領域9に電気的に接続されるとともに層間絶縁膜11の表面上に沿って延びるようにTiNからなるチタン合金膜12が形成されている。チタン合金膜12上にはアルミニウム合金配線層13が形成されている。

【0061】酸化膜4は100Å程度の厚みを有している。フローティングゲート電極5は、ポリシリコン層によって形成されており、その厚みは1000Å程度である。層間絶縁膜6は、酸化膜と窒化膜との複合膜によって形成されており、その厚みは200Å程度である。コントロールゲート電極7は、ポリシリコン層によって形成されており、その厚みは2500Å程度である。層間平坦化膜11は、PSG膜やBPSG膜とノンドーパ酸化膜との積層膜、またはPSG膜やBPSG膜と窒化膜とノンドーパ酸化膜との積層膜によって形成されており、その厚みは5000~15000Å程度である。コンタクトホール11aの開口寸法は、0.6~1.5μm程度である。チタン合金膜12は500Å程度の厚みで形成されており、アルミニウム合金配線層13は1000Å程度の厚みで形成されている。このチタン合金膜12とアルミニウム合金配線層13とによってビット線が構成されている。

【0062】ここで、この第1実施例では、ドレイン拡散領域9がフローティングゲート電極5と重ならないいわゆるオフセット構造を有している。また、上記したように、チャネル領域14の表面領域にN型不純物層3が形成されており、そのN型不純物層3下にドレイン拡散領域9およびソース拡散領域10よりも浅い深さを有するP型不純物層2が形成されている。この第1実施例では、このように構成することによって、以下のような効果を得ることができる。

【0063】すなわち、この第1実施例では、チャネル領域14の表面領域にソース拡散領域10と同じ導電型のN型不純物層3を形成することによって、データの消去時にN型不純物層3とN型のソース拡散領域10との境界領域に高電界がかかることがない。これにより、この領域におけるバンド間トンネリングの発生が有効に防

止される。この結果、データの消去時に発生するバンド間トンネリング自体が従来に比べて軽減される。また、N型不純物層3の存在によって、高電界がかかる領域がN型不純物層3の下方のP型不純物層2とN型のソース拡散領域10との境界領域に移動する。これにより、バンド間トンネリングの発生位置もN型不純物層3の下方に位置するようになるので、バンド間トンネリングの発生位置から酸化膜4までの距離が従来に比べて遠くなる。この結果、データの消去時にバンド間トンネリングにより発生したホールが酸化膜4にトラップされるのが有効に防止される。これにより、データの消去時に酸化膜4の膜質が劣化することなく、フローティングゲート電極5から電子が引き抜かれにくくなるという不都合も生じない。つまり、データの消去時のエンデュランス特性の劣化を有効に防止することができる。また、N型不純物層3の存在によって、データの書込時に非選択セルのドレイン拡散領域9とN型不純物層3との境界領域でバンド間トンネリングが発生するのも防止される。これにより、データの書込時に非選択セルで発生するバンド間トンネリングによるドレインディスタースタブ現象も軽減される。

【0064】また、この第1実施例では、N型不純物層3の真下にP型不純物層2を形成することによって、書込特性の低下を防止することができる。すなわち、N型不純物層3の存在によって、形成されるチャンネルはN型不純物層3の下に位置するようになるので、そのチャンネルへのフローティングゲート電極5からの電界が従来に比べて弱められ、書込効率が低下する恐れがある。そこで、本実施例では、N型不純物層3を覆うようにP型不純物層2を形成し、そのP型不純物層2の不純物濃度を高くすることによって、P型不純物層2とドレイン拡散領域9との境界領域においてより高い電界を発生させる。これにより、アバランシェ現象が促進され、書込効率を向上させることができる。この結果、N型不純物層3を設けたことによる書込効率の低下を有効に防止することができる。

【0065】さらに、この第1実施例では、P型不純物層2をドレイン拡散領域9およびソース拡散領域10の接合深さよりもその深さが浅くなるように形成することによって、N型不純物層3のP型シリコン基板1の表面からの深さを浅くしている。すなわち、N型不純物層3の深さは、その下に形成されるP型不純物層2の深さを変えることによって或る程度制御可能であり、P型不純物層2の深さを浅くすることによりN型不純物層3の深さもそれに比例して浅くすることができる。このように、N型不純物層3の深さを浅くすることにより、N型不純物層3の下に形成されるチャンネルをフローティングゲート電極5に極力近づけることができ、フローティングゲート電極5からチャンネルに加えられる電界が弱められるのが有効に防止される。この結果、素子の微細化に

伴って発生するフローティングゲート電極5からの制御が不可能となるいわゆるパンチスルー現象を極力防止することができる。つまり、この第1実施例では、パンチスルー現象を極力防止しながら、データの消去時に発生するエンデュランス特性の劣化を有効に防止することができる。

【0066】また、この第1実施例では、ドレイン拡散領域9をフローティングゲート電極5と重ならないいわゆるオフセット構造に形成することにより、データの書込時に非選択セルで発生するドレインディスタースタブ現象を有効に防止することができる。すなわち、ドレイン拡散領域9をフローティングゲート電極5と重ならないように形成することによって、データの書込時に非選択セルのフローティングゲート電極5とドレイン拡散領域9との間の電界が従来に比べて弱められるので、F-Nトンネリングによるドレインディスタースタブ現象を有効に防止することができる。また、ドレイン拡散領域9をフローティングゲート電極5と重ならないように形成することによって、データの消去時に非選択セルの電界集中が発生する位置がフローティングゲート電極5の直下に位置しなくなるので、バンド間トンネリングにより発生するホールもフローティングゲート電極5の直下に位置しなくなる。これにより、バンド間トンネリングによるホールがフローティングゲート電極5に注入されるのが防止されるので、バンド間トンネリングによるドレインディスタースタブ現象をも有効に防止することができる。

【0067】このように、この第1実施例のフラッシュEEPROMでは、データの消去時に発生するエンデュランス特性の劣化と、データの書込時に発生するドレインディスタースタブ現象を有効に防止することができ、素子の微細化も図ることができる。これにより、フラッシュEEPROMの信頼性を向上させることができる。

【0068】次に、図2を参照して、第1実施例のフラッシュEEPROMの動作について説明する。

【0069】まず、書込動作においては、ドレイン拡散領域9に6～8V程度の電圧 $V_{D1}$ 、コントロールゲート電極7に10～15V程度の電圧 $V_{C1}$ が印加される。この電圧 $V_{D1}$ 、 $V_{C1}$ の印加によって、ドレイン拡散領域9とP型不純物層2との境界領域の近傍で高電界が発生する。この高電界によってアバランシェ降伏現象が発生し、これにより高いエネルギーを有する電子が発生する。この電子の一部は、コントロールゲート電極7に印加された電圧 $V_{C1}$ による電荷によって、フローティングゲート電極5に引き寄せられて注入される。このようにフローティングゲート電極5に電子の蓄積が行なわれると、コントロールゲートトランジスタのしきい値電圧 $V_{TH}$ が高くなる。このしきい値電圧 $V_{TH}$ が所定の値よりも高くなった状態が書込まれた状態であり、“0”の状態と呼ばれる。

【0070】次に、消去動作においては、ソース拡散領

域10に10～12V程度の電圧 $V_s$ が印加され、コントロールゲート電極7は接地電位、ドレイン拡散領域9はフローティング状態に保持される。ソース拡散領域10に印加された電圧 $V_s$ による電界によって、フローティングゲート電極5の中の電子は薄い酸化膜4をF-Nトンネル現象によって通過する。このようにしてフローティングゲート電極5中の電子が引き抜かれることによって、コントロールゲートトランジスタのしきい値電圧 $V_{th}$ が低くなる。このしきい値電圧 $V_{th}$ が所定の値よりも低くなった状態が消去された状態であり、“1”の状態と呼ばれる。なお、消去動作の際にソース拡散領域10に高電圧が印加されるが、本実施例ではチャンネル領域の表面にN型不純物層3が形成されているため、N型不純物層3とN型のソース拡散領域10との間で高電界がかかることはない。これにより、本実施例では、従来消去動作の際に発生していたエンデュランス特性の劣化を有効に防止することができる。

【0071】さらに、読出動作においては、コントロールゲート電極7に5V程度の電圧 $V_{c1}$ 、ドレイン拡散領域9に1～2V程度の電圧 $V_{d1}$ が印加される。そのとき、コントロールゲートトランジスタのチャンネル領域に電流が流れるかどうか、すなわちコントロールゲートトランジスタがon状態かoff状態かによって上記した“1”、“0”の判定が行なわれる。これにより、情報の読出が行なわれる。

【0072】図3～図13は、図1に示した第1実施例のフラッシュEEPROMの製造プロセス（第1工程～第11工程）を説明するための断面構造図である。図1および図3～図13を参照して、次に第1実施例のフラッシュEEPROMの製造プロセスについて説明する。

【0073】まず、図3に示すように、P型シリコン基板1の主表面上の所定領域にウェル領域および素子分離酸化膜（図示せず）を形成する。その後、N型の不純物である砒素（As）を10KeV、 $\sim 10^{12}/\text{cm}^2$ の注入条件下でイオン注入するとともに、P型の不純物であるボロン（B）を50KeV、 $\sim 10^{13}/\text{cm}^2$ の条件下でイオン注入する。これにより、P型不純物層2aとN型不純物層3aが形成される。このN型不純物層3aの形成によって、後述するベリッドチャンネル型のメモリセルの形成が可能となる。また、P型不純物層2aは、後述するドレイン拡散領域9およびソース拡散領域10よりもその深さが浅くなるように形成する。

【0074】次に、図4に示すように、全面に100Å程度の厚みを有する酸化膜層4aを形成した後、その酸化膜層4a上に第1のポリシリコン層5aを1000Å程度の厚みで形成する。そして、その第1のポリシリコン層5a上に酸化膜と窒化膜との複合膜からなる層間絶縁膜層6aを200Å程度の厚みで形成した後、その層間絶縁膜層6a上に第2のポリシリコン層7aを250Å程度の厚みで形成する。

【0075】次に、図5に示すように、第2のポリシリコン層7a上の所定領域にレジスト15を形成する。そのレジスト15をマスクとして異方性エッチングを行なうことによって、第2のポリシリコン層7a、層間絶縁膜層6a、第1のポリシリコン層5a、および酸化膜層4aをパターンニングする。これにより、図6に示すようなコントロールゲート電極7、層間絶縁膜6、フローティングゲート電極5、および酸化膜4が形成される。この後、レジスト15を除去する。

【0076】次に、図7に示すように、メモリセルのドレイン拡散領域となる領域を覆うようにレジスト16を形成する。このレジスト16およびコントロールゲート電極7をマスクとしてP型シリコン基板1の主表面に砒素（As）を35KeV、 $1 \times 10^{16}/\text{cm}^2$ の条件下でイオン注入する。これにより、ソース拡散領域10が形成される。この後、レジスト16を除去する。

【0077】次に、図8に示すように、全面に2000Å程度の厚みを有する酸化膜層8aを形成した後、異方性のリアクティブイオンエッチングを行なう。これにより、図9に示されるようなサイドウォール酸化膜8が形成される。このようにして形成されるサイドウォール酸化膜8のP型シリコン基板1の主表面に沿った方向の長さは2000Å程度である。すなわち、サイドウォール酸化膜8のP型シリコン基板1の主表面に沿った方向の長さは、酸化膜層8a（図8参照）の厚みとほぼ同じ大きくなる。したがって、酸化膜層8aの厚みを調整することによって、サイドウォール酸化膜8のP型シリコン基板1の主表面に沿った方向の長さを容易に制御することができる。

【0078】次に、図10に示すように、ソース拡散領域10を覆うようにレジスト17を形成する。レジスト17、コントロールゲート電極7、およびサイドウォール酸化膜8をマスクとしてP型シリコン基板1に砒素（As）を35KeV、 $5 \times 10^{15}/\text{cm}^2$ の条件下でイオン注入する。これにより、ドレイン拡散領域9が形成される。ここで、ドレイン拡散領域9は、サイドウォール酸化膜8をマスクとして形成されるため、ドレイン拡散領域9はフローティングゲート電極5と平面的に重ならない位置に形成される。すなわち、ドレイン拡散領域9側がオフセット構造になったメモリセルトランジスタが形成される。ドレイン拡散領域9のオフセット量は、上記したサイドウォール酸化膜8のP型シリコン基板1の主表面に沿った方向の長さを調整することなどによって容易に制御可能である。また、ドレイン拡散領域9を形成することによって、チャンネル領域の表面領域にN型不純物層3が形成されたいわゆるベリッドチャンネル型のメモリセルトランジスタが完成される。なお、N型不純物層3を覆うP型不純物層2は、前述したように、ドレイン拡散領域9およびソース拡散領域10の接合深さよりも浅くなるように形成されている。このようにし

てドレイン拡散領域9を形成した後、レジスト17を除去する。

【0079】次に、図11に示すように、CVD法などを用いて5000～15000Å程度の厚みを有する層間絶縁膜11を形成した後、リフロー法により800～1000℃の温度条件下で熱処理を施すことによってその表面を平坦化する。なお、層間絶縁膜11は、たとえば、PSG膜やBPSG膜とノンドーパ酸化膜との積層膜、またはPSG膜やBPSG膜と窒化膜とノンドーパ酸化膜との積層膜などによって形成する。

【0080】次に、図12に示すように、層間絶縁膜11のドレイン拡散領域9上に位置する領域に、0.6～1.5μm程度の開口寸法を有するコンタクトホール11aを形成する。

【0081】次に、図13に示すように、コンタクトホール11a内でドレイン拡散領域9に電気的に接続するとともに層間絶縁膜11の表面上に沿って延びるように、500Å程度の厚みを有するTiN膜からなるチタン合金膜12を形成する。

【0082】最後に、図1に示したように、スパッタリング法などを用いてチタン合金膜12上に10000Å程度の厚みを有するアルミニウム合金膜13を形成する。そして、写真製版技術とドライエッチング技術とを用いて、チタン合金膜12とアルミニウム合金膜13とをパターンニングする。これにより、チタン合金膜12とアルミニウム合金膜13とからなり、ドレイン拡散領域9に電気的に接続されたビット線が形成される。このようにして、第1実施例のフラッシュEEPROMが完成される。

#### 【0083】実施例2

図14は、本発明の第2実施例によるスタックゲート型のフラッシュEEPROMのメモリセル部分を示した断面構造図である。図14を参照して、この第2実施例のフラッシュEEPROMは、基本的には図1および図2に示した第1実施例のフラッシュEEPROMの構造と同じである。この第2実施例では、さらにソース拡散領域10を覆うようにN<sup>-</sup>不純物拡散層21を形成している。これにより、第1実施例で説明した効果に加えて、データの消去時にソース拡散層10の近傍に発生するバンド間トンネリングをさらに低減できるという効果を奏する。すなわち、N型のソース拡散領域10と、P型不純物層2およびP型シリコン基板1との境界領域のすべてにN<sup>-</sup>不純物拡散層21を形成することによって、その境界領域での電界集中を緩和することができる。この結果、データの消去時にソース拡散領域10の近傍で発生するバンド間トンネリングをさらに低減することができる。これにより、バンド間トンネリングにより発生したホールが酸化膜4にトラップされてフローティングゲート電極5から電子が引き抜きにくくなるいわゆるエンデュランス特性の劣化をより有効に防止することができ

る。

【0084】図15は、図14に示した第2実施例のフラッシュEEPROMの製造プロセスを説明するための断面構造図である。図15を参照して、この第2実施例のフラッシュEEPROMの製造プロセスでは、ソース拡散領域10を形成するまでの工程は、図3～図7に示した第1実施例のフラッシュEEPROMの製造プロセスと同じである。そして、ソース拡散領域10を形成した後、同じレジスト16をマスクとして、リン(P)を50KeV、 $5 \times 10^{14} / \text{cm}^2$ の条件下でイオン注入する。これにより、N<sup>-</sup>不純物拡散層21が形成される。その後、図8～図13に示した第1実施例の製造プロセスと同様の製造プロセスを経て、第2実施例のフラッシュEEPROMが完成される。

#### 【0085】実施例3

図16は、本発明の第3実施例によるスタックゲート型のフラッシュEEPROMのメモリセル部分を示した断面構造図である。図16を参照して、この第3実施例のフラッシュEEPROMの構造も、基本的には図1および図2に示した第1実施例のフラッシュEEPROMの構造と同じである。この第3実施例では、さらにドレイン拡散領域9を覆うようにP<sup>+</sup>不純物拡散層31を形成している。これにより、さらにデータの書込時の書込効率を向上させることができるという効果を奏する。すなわち、N型のドレイン拡散領域9の接合領域のすべてがP<sup>+</sup>不純物拡散層31によって覆われているので、データの書込時にドレイン拡散領域9とP<sup>+</sup>不純物拡散層31との境界領域でより高電界が発生しやすくなり、アバランシェ現象が促進される。この結果、アバランシェ現象により発生する電子の量も多くなり、その電子がデータの書込時にフローティングゲート電極5に注入されやすくなる。しかも、第1実施例の効果により高電界領域がP型シリコン基板1の表面に形成されないため、ドレインディスターブ現象は防止できる。これにより、図1および図2に示した第1実施例のフラッシュEEPROMに比べて書込効率をより向上させることができる。

【0086】図17は、図16に示した第3実施例のフラッシュEEPROMの製造プロセスを説明するための断面構造図である。図17を参照して、ドレイン拡散領域9を形成するまでの工程は、図3～図10に示した第1実施例のフラッシュEEPROMの製造プロセスと同様である。そして、この第3実施例の製造プロセスでは、ドレイン拡散領域9を形成した後、同じレジスト17を用いてP<sup>+</sup>不純物拡散層31を形成する。すなわち、レジスト17をマスクとして、P型シリコン基板1にボロン(B)を斜め回転イオン注入法を用いて45°、50KeV、 $\sim 1 \times 10^{13} / \text{cm}^2$ の条件下でイオン注入することによって、P<sup>+</sup>不純物拡散層31を形成する。その後、図11～図13に示した第1実施例の製造プロセスと同様の製造プロセスを経て、第3実施例の



フラッシュEEPROMが完成される。

#### 【0087】実施例4

図18は、本発明の第4実施例によるスタックゲート型のフラッシュEEPROMのメモリセル部分を示した断面構造図である。図18を参照して、この第4実施例のフラッシュEEPROMは、図14に示した第2実施例のフラッシュEEPROMと、図16に示した第3実施例のフラッシュEEPROMとを組合せた構造を有している。すなわち、ソース拡散領域10を覆うようにN<sup>-</sup>不純物拡散層21が形成されているとともに、ドレイン拡散領域9を覆うようにP<sup>+</sup>不純物拡散層31が形成されている。これにより、第1実施例で説明した効果に加えて、さらに第2実施例および第3実施例で説明した両方の効果を得ることができる。すなわち、N<sup>-</sup>不純物拡散層21によってデータの書込時にソース拡散領域10の近傍で発生するバンド間トンネリングを低減することができるとともに、P<sup>+</sup>不純物拡散層31によってデータの書込時のアバランシェ現象を促進させることができる。これにより、データの消去時に発生するエンデュランス特性の劣化を防止することができるとともに、データの書込時の書込効率をより向上させることができる。

【0088】図19および図20は、図18に示した第4実施例のフラッシュEEPROMの製造プロセスを説明するための断面構造図である。まず、図19を参照して、ソース拡散領域10を形成するまでの製造プロセスは、図3～図7に示した第1実施例の製造プロセスと同様である。そして、ソース拡散領域10を形成した後、同じレジスト16をマスクとして、リン(P)をP型シリコン基板1に50KeV、 $5 \times 10^{14} / \text{cm}^2$ の条件下でイオン注入することによって、N<sup>-</sup>不純物拡散層21を形成する。この後、図8～図10に示した第1実施例の製造プロセスと同様の製造プロセスを経て、ドレイン拡散領域9を形成する。そして、図20に示すように、同じレジスト17をマスクとして、P型シリコン基板1にボロン(B)を斜め回転イオン注入法を用いて、45°、50KeV、 $\sim 1 \times 10^{13} / \text{cm}^2$ の条件下でイオン注入する。これにより、P<sup>+</sup>不純物拡散層31を形成する。この後、図11～図13に示した第1実施例と同様の製造プロセスを経て、第4実施例のフラッシュEEPROMが完成される。

#### 【0089】実施例5

図21は、本発明の第5実施例によるスタックゲート型のフラッシュEEPROMのメモリセル部分を示した断面構造図である。図21を参照して、この第5実施例が図2に示した第1実施例と異なる点は、ドレイン拡散領域49のみならずソース拡散領域50をもオフセット構造にしていることである。これにより、第1実施例で説明した効果に加えて、後述するように製造プロセスが容易になるという効果を奏する。

【0090】図22および図23は、図21に示した第

5実施例のフラッシュEEPROMの製造プロセスを説明するための断面構造図である。まず、図22を参照して、この第5実施例の製造プロセスでは、図3～図6に示した第1実施例の製造プロセスと同様の製造プロセスを経て、酸化膜4、フローティングゲート電極5、層間絶縁膜6、およびコントロールゲート電極7を形成する。そしてその後、図8および図9に示した第1実施例の製造プロセスと同様の製造プロセスを経て、コントロールゲート電極7およびフローティングゲート電極5の両側壁部分にサイドウォール酸化膜8を形成する。この後、図23に示すように、コントロールゲート電極7およびサイドウォール酸化膜8をマスクとして、P型シリコン基板1に砒素(As)を35KeV、 $5 \times 10^{13} / \text{cm}^2$ の条件下でイオン注入することによって、ドレイン拡散領域49とソース拡散領域50とを同時に形成する。このように、この第5実施例では、ドレイン拡散領域49とソース拡散領域50とを同一の製造プロセスで形成できるため、製造プロセスを簡略化できるという利点がある。また、この第5実施例では、ドレイン拡散領域49とソース拡散領域50の形成時に、第1～第4実施例のようにゲート電極5とドレイン拡散領域またはソース拡散領域との上にレジストを形成する必要がない。このため、素子が微細化されてフローティングゲート電極5のゲート長が短くなった場合にマスクずれの制限からレジストを形成できなくなるという不都合もない。このように、この第5実施例のフラッシュEEPROMは、素子の微細化に適した構造を有している。この後、図11～図13に示した第1実施例の製造プロセスと同様の製造プロセスを経て、第5実施例のフラッシュEEPROMが完成される。

#### 【0091】実施例6

図24は、本発明の第6実施例によるスタックゲート型のフラッシュEEPROMのメモリセル部分を示した断面構造図である。図24を参照して、この第6実施例のフラッシュEEPROMの構造では、図2に示した第1実施例のフラッシュEEPROMの構造と異なり、ドレイン拡散領域59がオフセット構造およびサイドウォールを有していない。このため、この第6実施例では、ドレインディスタース現象を第1実施例ほど有効に防止することはできないが、第5実施例と同様に素子の微細化に適した構造を有するとともに、第5実施例よりもさらに製造プロセスを簡略化することができる。以下に第6実施例の製造プロセスについて説明する。

【0092】図25および図26は、図24に示した第6実施例のフラッシュEEPROMの製造プロセスを説明するための断面構造図である。まず、図25を参照して、この第6実施例の製造プロセスでは、図3～図6に示した第1実施例と同様の製造プロセスを用いて、酸化膜4、フローティングゲート電極5、層間絶縁膜6、およびコントロールゲート電極7を形成する。この後、図



26に示すように、コントロールゲート電極7をマスクとして、P型シリコン基板1に砒素(As)を35KeV、 $5 \times 10^{15}/\text{cm}^2$ の条件下でイオン注入することによって、ドレイン拡散領域59およびソース拡散領域60を同時に形成する。このように、この第6実施例では、ドレイン拡散領域59とソース拡散領域60とを同一の工程で形成できるため、製造プロセスを簡略化することができる。また、ドレイン拡散領域59およびソース拡散領域60ともにオフセット構造を採用していないため、それらの形成時にサイドウォール酸化膜をマスクとして用いる必要がない。このため、サイドウォール酸化膜を形成する工程も省略することができ、さらに製造プロセスを簡略化することができる。図26に示した製造プロセスの後、図11～図13に示した第1実施例と同様の製造プロセスを経て、第6実施例のフラッシュEEPROMが完成される。

#### 【0093】実施例7

図27は、本発明の第7実施例によるフラッシュEEPROMのメモリエル部分を示した断面構造図である。図27を参照して、この第7実施例のフラッシュEEPROMでは、P型シリコン基板61の主表面上にチャネル領域65を挟むように所定の間隔を隔ててN<sup>+</sup>型のドレイン拡散領域62およびソース拡散領域63が形成されている。N<sup>+</sup>型のソース拡散領域63を覆うようにN<sup>-</sup>型のソース拡散領域64が形成されている。ドレイン拡散領域62上にはN型の不純物がドーピングされたポリシリコン層からなる500～2000Å程度の厚みを有するドレイン導電層66aが形成されている。ドレイン導電層66aの上部表面上には2000Å程度の厚みを有するシリコン酸化膜からなる層間絶縁膜68aが形成されている。ドレイン導電層66aと層間絶縁膜68aとの両側壁部分にはシリコン酸化膜からなるサイドウォール酸化膜67aが形成されている。

【0094】ソース拡散領域63上には500～2000Å程度の厚みを有するN型の不純物がドーピングされたポリシリコン層からなるソース導電層66bが形成されている。ソース導電層66bの上部表面上には2000Å程度の厚みを有するシリコン酸化膜からなる層間絶縁膜68bが形成されている。ソース導電層66bおよび層間絶縁膜68bの両側壁部分にはシリコン酸化膜からなるサイドウォール酸化膜67bが形成されている。チャネル領域65上には100Å程度の厚みを有する酸化膜69が形成されている。酸化膜69、サイドウォール酸化膜67a、67bおよび層間絶縁膜68a、68b上には1500Å程度の厚みを有するポリシリコン層からなるフローティングゲート電極70が形成されている。フローティングゲート電極70上には200Å程度の厚みを有する酸化膜と窒化膜との複合膜71が形成されている。複合膜71上には1500Å程度の厚みを有するポリシリコン層からなるコントロールゲート電極72が

形成されている。そして、全面を覆うように5000～15000Å程度の厚みを有するその上表面が平坦化された層間絶縁膜73が形成されている。その層間絶縁膜73および層間絶縁膜68aにはそれぞれコンタクトホール73aおよび68cが形成されている。コンタクトホール68cおよび73a内でドレイン導電層66aに電気的に接続するとともに層間絶縁膜73の上部表面上に沿って延びるように500Å程度の厚みを有するチタン合金膜(TiN膜)74が形成されている。コンタクトホール68cおよび73a内に位置するチタン合金膜74によって囲まれた領域を埋込むとともに層間絶縁膜73上のチタン合金膜74上に沿って延びるように10000Å程度の厚みを有するアルミ合金配線層75が形成されている。

【0095】ここで、この第7実施例では、複数のメモリトランジスタの共通のソース領域を構成するソース拡散領域63の表面上に接触するようにソース導電層66bを形成している。これにより、半導体装置の高集積化に伴ってソース拡散領域63が小さくなった場合にも、複数のメモリトランジスタの共通のソース領域63の抵抗値の上昇を有効に防止することができる。この結果、データ信号の遅延を防止することができる。

【0096】なお、ソース導電層66bは、上記したポリシリコン層の他、タンゲステンシリサイド層とポリシリコン層との積層ポリサイドによって形成してもよいし、ポリシリコン層をシリサイド化するようにしてもよい。このように構成すれば、さらにソース拡散領域63の抵抗値を低下することができる。

【0097】図28～図37は、図27に示した第7実施例のフラッシュEEPROMの製造プロセスを説明するための断面構造図である。図27～図37を参照して、次に第7実施例のフラッシュEEPROMの製造プロセスについて説明する。

【0098】まず、図28に示すように、P型シリコン基板61の主表面上の所定領域にウェル領域および素子分離酸化膜(図示せず)を形成する。そして、P型シリコン基板61上にCVD法を用いてポリシリコン層66を500～2000Å程度の厚みで堆積する。このポリシリコン層66に砒素を50KeV、 $4 \times 10^{15}/\text{cm}^2$ の条件下でイオン注入する。

【0099】次に、図29に示すように、チャネル領域となる領域およびドレイン拡散領域となる領域の上方に位置するポリシリコン層66上に写真製版技術を用いてレジスト101を形成する。レジスト101をマスクとしてポリシリコン層66にリンを50KeV、 $\sim 10^{14}/\text{cm}^2$ の条件下でイオン注入する。その後レジスト101を除去する。

【0100】次に、図30に示すように、CVD法を用いてポリシリコン層66上に2000Å程度の厚みを有するシリコン酸化膜68を堆積する。シリコン酸化膜6

8上の所定領域にレジスト102を形成する。レジスト102をマスクとして異方性エッチングを行なうことによってシリコン酸化膜68とポリシリコン層66とをパターンニングする。これにより、図31に示されるようなドレイン導電層66a、ソース導電層66b、および層間絶縁膜68a、68bが得られる。この後レジスト102を除去する。

【0101】次に、図32に示すように、全面に1000Å程度の厚みを有するシリコン酸化膜67を形成した後、そのシリコン酸化膜67をリアクティブイオンエッチング（異方性エッチング）することによって、図33に示すようなサイドウォール酸化膜67aおよび67bが形成される。この後、熱処理を行なうことによってソース導電層66bから砒素とリンを拡散させるとともにドレイン導電層66aから砒素を拡散させる。これにより、N<sup>+</sup>型のソース拡散領域63およびN<sup>-</sup>型のソース拡散領域64と、N<sup>+</sup>型のドレイン拡散領域62が形成される。このソース拡散領域63および64とドレイン拡散領域62とは、それらの側面がサイドウォール酸化膜67aおよび67bからチャンネル領域65側にはみ出すように形成する。

【0102】次に、図34に示すように、チャンネル領域65に位置するP型シリコン基板61の主表面上に1000Å程度の酸化膜69を形成する。

【0103】次に、図35に示すように、CVD法を用いて全面に1500Å程度の厚みでポリシリコン層（図示せず）を形成した後、そのポリシリコン層上に200Å程度の厚みを有する酸化膜と窒化膜との複合膜層（図示せず）を形成し、さらにその複合膜層上に1500Å程度の厚みを有するポリシリコン層（図示せず）を形成する。そして、それらのポリシリコン層および複合膜をパターンニングすることによって、ポリシリコン層からなるフローティングゲート電極70、酸化膜と窒化膜とからなる複合膜71、およびポリシリコン層からなるコントロールゲート電極72を形成する。ここで、フローティングゲート電極70はサイドウォール酸化膜67aおよび67bと層間絶縁膜68aおよび68b上に乗り上げるように形成する。

【0104】次に、図36に示すように、全面にCVD法などを用いて5000～15000Å程度の厚みを有する層間絶縁膜73を形成する。この層間絶縁膜73は、たとえばPSG膜、またはBPSG膜とノンドープ酸化膜との積層膜によって形成する。この層間絶縁膜73は800～1000℃の温度条件下で熱処理が施されることによってその上部表面が平坦化される。

【0105】次に、図37に示すように、ドレイン導電層66a上に位置する層間絶縁膜68aおよび73にそれぞれコンタクトホール68cおよび73aを形成する。このコンタクトホール68cおよび73aの開口寸法は、0.6～1.5μm程度である。

【0106】最後に、図27に示したように、コンタクトホール68cおよび73a内でドレイン導電層66aに電気的に接続するとともに層間絶縁膜73の上部表面上に沿って延びるTiN膜74を500Å程度の厚みで形成する。さらに、そのTiN膜74上に10000Å程度の厚みを有するアルミニウム合金膜75を形成する。このようにして、本発明の第7実施例によるフラッシュEEPROMが完成される。

#### 【0107】実施例8

図38は、本発明の第8実施例によるフラッシュEEPROMのメモリセル部分を示した断面構造図である。図38を参照して、この第8実施例によるフラッシュEEPROMでは、図27に示した第7実施例と異なり、チャンネル領域65上の酸化膜79がソース導電層66b上にも接触して形成されている。そして、ソース導電層66b上に酸化膜79を介して重なるようにフローティングゲート電極80、複合膜81、コントロールゲート電極82が形成されている。

【0108】さらに、この第8実施例では、N<sup>+</sup>型のソース拡散領域203がいわゆるオフセット構造に形成されている。すなわち、ソース拡散領域203はサイドウォール酸化膜77bからチャンネル領域65側にはみ出さないように形成されている。

【0109】この第8実施例では上記のように構成することによって、フローティングゲート電極80とソース導電層66bとの重なり部分でフローティングゲート電極80からソース導電層66bに向かって電子を引き抜くことができる。具体的には、データの消去時にコントロールゲート電極82に0Vを印加し、ソース導電層66bに高電圧（10～12V）を印加することによって、フローティングゲート電極80から酸化膜79を介してソース導電層66bに向かって電子を引き抜くことができる。このようにソース導電層66bとフローティングゲート電極80との間で消去動作が行なわれるので、従来のようにチャンネル領域65においてソース拡散領域203とフローティングゲート電極80とを重ならせる必要がない。このため、この第8実施例では、ソース拡散領域203をいわゆるオフセット構造に形成することができる。このようにソース拡散領域203をオフセット構造に形成することによって、ソース拡散領域203の近傍のバンド間トンネリングの発生位置がチャンネル領域65上に位置するフローティングゲート電極80の直下に位置しなくなる。これにより、バンド間トンネリングにより発生したホールがチャンネル領域65の酸化膜79に注入されるのを防止することができる。この結果、データの消去時に生じるエンデュランス特性の劣化を有効に防止することができる。

【0110】また、フローティングゲート電極80とソース導電層66bとの重なり部分の面積を大きくすることによって、容易に良好な消去特性を得ることができ

る。

【0111】なお、この第8実施例においても、第7実施例と同様ソース拡散領域203上にソース導電層66bが形成されているので、素子の微細化に伴ってソース拡散領域203が小さくなったとしてもソース拡散領域203の抵抗値の上昇を有効に防止することができる。

#### 【0112】実施例9

図39は、本発明の第9実施例によるフラッシュEEPROMのメモリセル部分を示した断面構造図である。図39を参照して、この第9実施例のフラッシュEEPROMは、チャンネル領域65上に位置する100Å程度の厚みを有する酸化膜89がドレイン導電層66a上にも接触して形成されている。そして、ドレイン導電層66a上にその酸化膜89を介して重なるようにフローティングゲート電極90、複合膜91およびコントロールゲート電極92が形成されている。そして、ドレイン拡散領域202がいわゆるオフセット構造に形成されている。

【0113】この第9実施例では上記のようにフローティングゲート電極90とドレイン導電層66aとを酸化膜89を介して重ならせることによって、データの書込動作をドレイン導電層66aとフローティングゲート電極90との重なり部分で行なうことができる。すなわち、コントロールゲート電極92に10～15V程度の電圧を印加し、ドレイン導電層66aに6～8V程度の電圧を印加することによって、ドレイン導電層66aからフローティングゲート電極90に向かってF-N電流により電子を注入する。このようにこの第9実施例ではドレイン導電層66aとフローティングゲート電極90との重なり部分で書込動作を行なうので、従来のようにドレイン拡散層202をチャンネル領域65上に位置するフローティングゲート電極90と重ならせる必要がない。すなわち、ドレイン拡散領域202のチャンネル領域65側の端部をサイドウォール酸化膜77aからチャンネル領域65側へはみ出させる必要がない。このようにドレイン拡散領域202をオフセット構造に形成することによって、データの書込時に非選択セルの電界集中が発生する位置がチャンネル領域65上のフローティングゲート電極90の直下に位置しなくなる。これにより、バンド間トンネリングにより発生するホールもチャンネル領域65のフローティングゲート電極90の直下に位置しなくなる。この結果、バンド間トンネリングにより発生したホールがフローティングゲート電極90に注入されるのを防止でき、バンド間トンネリングによるドレインディスタート現象を有効に防止することができる。また、ドレイン拡散領域202のオフセット構造により、チャンネル領域65上のフローティングゲート電極90とドレイン拡散領域202との間の電界も弱められる。これにより、F-Nトンネリングによるドレインディスタート現象も有効に防止することができる。

【0114】また、この第9実施例では、ドレイン導電層66aとフローティングゲート電極90との重なり部分の面積を増加させることによって、良好な書込効率を得ることができるという利点もある。

【0115】なお、この第9実施例においても、第7および第8実施例と同様、ソース拡散領域63上にソース導電層66bが形成されているので、ソース拡散領域63が微細化に伴って小さくなったとしてもソース拡散領域63の抵抗値の上昇を防止することができる。

#### 【0116】実施例10

図40は、本発明の第10実施例によるフラッシュEEPROMのメモリセル部分を示した断面構造図である。図40を参照して、この第10実施例のフラッシュEEPROMは、前述した第8実施例と第9実施例とを組合せた構造を有する。

【0117】すなわち、チャンネル領域65上の100Å程度の厚みを有する酸化膜109がドレイン導電層66aおよびソース導電層66bの上にも接触して形成されている。そして、ドレイン導電層66aおよびソース導電層66b上に酸化膜109を介して重なるようにフローティングゲート電極110、複合膜111およびコントロールゲート電極112が形成されている。また、ドレイン拡散領域202およびソース拡散領域203がともにオフセット構造に形成されている。

【0118】この第10実施例では上記のように構成することによって、前述した第8実施例と第9実施例との両方の効果を得ることができる。すなわち、ソース拡散領域203をオフセット構造にすることによって、バンド間トンネリングにより発生したホールがチャンネル領域65上の酸化膜109に注入されるのを有効に防止することができるので、データの消去時に発生するエンデュランス特性の劣化を軽減することができる。また、ドレイン拡散領域202をオフセット構造にすることによって、データの書込時に非選択セルにおいてバンド間トンネリングにより発生したホールが電荷蓄積電極に注入されるのを有効に防止できるとともに、チャンネル領域65上のフローティングゲート電極110とドレイン拡散領域202との間の電界を弱めることができる。この結果、バンド間トンネリングによるドレインディスタート現象とF-Nトンネリングによるドレインディスタート現象を有効に防止することができる。さらに、ソース拡散領域203上にソース導電層66bを形成することによって、素子の微細化に伴ってソース拡散領域203が小さくなったとしても、ソース拡散領域203の抵抗値の上昇を低減することができる。これにより、抵抗値の上昇によって信号が遅延するのを防止することができる。

【0119】図41～図46は、第10実施例のフラッシュEEPROMの製造プロセスを説明するための断面構造図である。図40～図46を参照して、次に第10

実施例のフラッシュEEPROMの製造プロセスについて説明する。

【0120】まず、図41に示すように、P型シリコン基板61の主表面上の所定領域にウェル領域および素子分離酸化膜（図示せず）を形成する。CVD法を用いてP型シリコン基板61の主表面上に500～2000Å程度の厚みを有するポリシリコン層66を形成する。ポリシリコン層66に砒素を50KeV、 $4 \times 10^{11}/\text{cm}^2$ の注入条件下で注入する。

【0121】次に、図42に示すように、フォトリソグラフィ技術と異方性エッチング技術とを用いてポリシリコン層66（図41参照）をパターンニングすることによって、ドレイン導電層66aおよびソース導電層66bを形成する。

【0122】次に、図43に示すように、全面に1000Å程度の厚みを有する酸化膜（図示せず）をCVD法により形成した後リアクティブイオンエッチングを行なうことによって、サイドウォール酸化膜77aおよび77bを形成する。

【0123】次に、図44に示すように、熱処理を施すことによって、ドレイン導電層66aおよびソース導電層66bから砒素を拡散させることによって、ドレイン拡散領域202およびソース拡散領域203を形成する。このドレイン拡散領域202およびソース拡散領域203はそれらのチャンネル領域65側の端部がサイドウォール酸化膜77aおよび77bからはみ出さないように形成する。つまり、ドレイン拡散領域202およびソース拡散領域203がいわゆるオフセット構造になるように形成する。これは、熱処理条件などを制御することによって容易に行なうことができる。

【0124】この後、全面に100Å程度の厚みを有する酸化膜層109a、1500Å程度の厚みを有するポリシリコン層110a、酸化膜と窒化膜との複合膜層111aおよび1500Å程度の厚みを有するポリシリコン層112aを順次形成する。そして、ポリシリコン層112a上の所定領域にレジスト113を形成する。レジスト113をマスクとして異方性エッチングを行なうことによって、ポリシリコン層112a、複合膜層111a、ポリシリコン層110aおよび酸化膜層109aをパターンニングする。これにより、図45に示されるような酸化膜109、フローティングゲート電極110、複合膜111およびコントロールゲート電極112を形成する。

【0125】次に、図46に示すように、全面にその表面が平坦化された層間絶縁膜73を5000～15000Å程度の厚みで形成した後、コンタクトホール73aを形成する。

【0126】最後に、図40に示したように、500Å程度の厚みを有するTiN膜74と10000Å程度の厚みを有するアルミニウム合金配線層75を形成する。

このようにして、第10実施例のフラッシュEEPROMが完成される。

#### 【0127】実施例11

図47は、本発明の第11実施例によるフラッシュEEPROMのメモリセル部分を示した断面構造図である。図47を参照して、この第11実施例によるフラッシュEEPROMは、基本的には図27に示した第7実施例のフラッシュEEPROMと同じ構造を有している。そして、この第11実施例では、さらにチャンネル領域65の表面領域65aを凹凸形状に形成している。その凹凸の程度（表面粗さ）は200～300Å程度である。このようにチャンネル領域65の表面領域65aを凹凸形状に形成することによって、その凹凸の凸部で電界集中が起こりやすくなり、垂直電界が強くなる。これにより、消去動作の際には電子がフローティングゲート電極120から引き抜かれやすくなり、書込動作の際には電子がフローティングゲート電極120に飛び込みやすくなる。この結果、書込および消去の効率を向上させることができる。

【0128】図48は、図47に示した第11実施例のフラッシュEEPROMの製造プロセスを説明するための断面構造図である。図48を参照して、チャンネル領域65の表面領域65aの凹凸形状は、レジスト102をマスクとしてドレイン導電層66aおよびソース導電層66bをエッチングによりパターンニングする際に形成する。すなわち、レジスト102をマスクとしてドレイン導電層66aおよびソース導電層66bをオーバエッチングすることにより、チャンネル領域65の表面領域65aを意図的にエッチングする。これによって凹凸形状を容易に形成することができる。また、オーバエッチング以外で凹凸形状を形成する方法としては、たとえばチャンネル領域65の表面領域65aをプラズマに晒すという方法もある。すなわち、チャンネル領域65の表面領域65aを800Wで10分程度、O<sub>2</sub>、プラズマまたはCF<sub>4</sub>、プラズマに晒すことによって容易に200～300Å程度の表面粗さを有する凹凸形状を形成することができる。

#### 【0129】実施例12

図49は、本発明の第12実施例によるフラッシュEEPROMのメモリセル部分を示した断面構造図である。図49を参照して、この第12実施例の構造は、基本的には図27に示した第7実施例のフラッシュEEPROMの構造と同じである。さらに、この第12実施例では、チャンネル領域65の表面領域にN型不純物層125が形成されており、そのN型不純物層125下にP型不純物層126が形成されている。このように構成することによって、N型不純物層125とN<sup>+</sup>型のソース拡散領域64との境界領域に高電界がかかることがなく、この領域におけるバンド間トンネリングの発生が有効に防止される。これにより、データの消去時に発生するバン

ド間トンネリング自体が従来に比べて軽減される。

【0130】また、N型不純物層125の存在によって高電界がかかる領域がN型不純物層125の下方のP型不純物層126とN<sup>-</sup>型のソース拡散領域64との境界領域に移動する。これにより、バンド間トンネリングの発生位置もN型不純物層125の下方に位置するようになるので、バンド間トンネリングの発生位置から酸化膜69までの距離が従来に比べて遠くなる。

【0131】この結果、データの消去時にバンド間トンネリングにより発生したホールが酸化膜69にトラップされるのが有効に防止される。これにより、データの消去時に酸化膜69の膜質が劣化することもなく、フローティングゲート電極70から電子が引き抜かれにくくなるという不都合も生じない。つまり、データの消去時のエンデュランス特性の劣化を有効に防止することができる。

【0132】また、N型不純物層125の下にP型不純物層126を形成することによって、書込特性の低下を防止することができる。すなわち、N型不純物層125を覆うようにP型不純物層126を形成し、そのP型不純物層126の不純物濃度を高くすることによって、P型不純物層126とドレイン拡散領域62との境界領域においてより高い電界を発生させる。これによりアバランシェ現象が促進され、書込効率を向上させることができる。この結果、N型不純物層125を設けたことによる書込効率の低下を有効に防止することができる。

【0133】また、この第12実施例では、第7実施例～第11実施例と同様に、ソース拡散領域63上にソース導電層66bが形成されているので、素子の微細化に伴ってソース拡散領域63が小さくなったとしてもソース拡散領域63の抵抗値の上昇を有効に防止することができる。

【0134】図50～図56は、図49に示した第12実施例のフラッシュEEPROMの製造プロセスを説明するための断面構造図である。図49～図56を参照して、次に第12実施例のフラッシュEEPROMの製造プロセスについて説明する。

【0135】まず、図50に示すように、P型シリコン基板61の主表面上の所定領域にウェル領域と分離酸化膜（図示せず）を形成する。その後、ベリッドチャンネルを形成するためのチャンネル注入を行なう。すなわち、砒素を10KeV、 $\sim 10^{12}/\text{cm}^2$ の条件下でイオン注入するとともに、ボロンを50KeV、 $\sim 10^{13}/\text{cm}^2$ の注入条件下でイオン注入する。

【0136】次に、図51に示すように、CVD法を用いて500～2000Å程度の厚みを有するポリシリコン層66を形成する。そのポリシリコン層66に砒素を50KeV、 $4 \times 10^{15}/\text{cm}^2$ の条件下でイオン注入する。

【0137】次に、図52に示すように、チャンネル領域

となる領域およびドレイン拡散領域となる領域を覆うようにポリシリコン層66上にレジスト101を形成する。レジスト101をマスクとしてポリシリコン層66にリンを50KeV、 $\sim 10^{14}/\text{cm}^2$ の条件下でイオン注入する。この後レジスト101を除去する。

【0138】次に、図53に示すように、ポリシリコン層66（図52参照）上の全面に2000Å程度の厚みを有するシリコン酸化膜層（図示せず）を形成した後、そのシリコン酸化膜層上の所定領域にレジスト102を形成する。レジスト102をマスクとしてそのシリコン酸化膜層およびポリシリコン層66を異方性エッチングすることによって、ドレイン導電層66a、ソース導電層66bおよび層間絶縁膜68aおよび68bを形成する。この後、レジスト102を除去する。

【0139】次に、図54に示すように、全面に1000Å程度のシリコン酸化膜層（図示せず）を形成した後そのシリコン酸化膜層を異方性エッチングすることによってサイドウォール酸化膜67aおよび67bを形成する。この後、熱処理を施すことによってドレイン導電層66aから砒素を、ソース導電層66bから砒素とリンとを拡散させる。これにより、N<sup>-</sup>型のドレイン拡散領域62、N<sup>+</sup>型のソース拡散領域63およびN<sup>-</sup>型のソース拡散領域64が形成される。これと同時に、図50に説明したプロセスで注入したイオンが活性化されてN<sup>+</sup>型不純物層125とP型不純物層126とが活性化される。

【0140】次に、図55に示すように、チャンネル領域上に100Å程度の厚みを有する酸化膜69を形成する。酸化膜69およびサイドウォール酸化膜67a、67bおよび層間絶縁膜68a、68b上に沿って延びるようにポリシリコン層からなるフローティングゲート電極70を形成する。フローティングゲート電極70上に窒化膜と酸化膜とからなる200Å程度の厚みを有する複合膜71を形成する。複合膜71上に1500Å程度の厚みを有するポリシリコン層からなるコントロールゲート電極72を形成する。

【0141】次に、図56に示すように、全面に5000～15000Å程度の厚みを有する層間絶縁膜73を形成する。その後、熱処理を施すことによって層間絶縁膜73の上部表面を平坦化する。その後、層間絶縁膜73および68aにそれぞれコンタクトホール73aおよび68cを形成する。

【0142】最後に、図49に示したように、コンタクトホール68cおよび73a内でドレイン導電層66aに電氣的に接続するようにTiN膜を500Å程度の厚みで形成する。TiN膜74上に10000Å程度の厚みでアルミニウム合金配線層75を形成する。このようにして、第12実施例のフラッシュEEPROMが完成される。

【0143】

【発明の効果】請求項 1 に係る半導体記憶装置によれば、チャンネル領域に位置する第 1 導電型の半導体基板の主表面上に第 2 導電型の第 3 の不純物領域を形成することによって、データの消去時に第 3 の不純物領域とソース領域となる第 1 または第 2 の不純物領域との境界領域に高電界がかかることがなく、この領域におけるバンド間トンネリングの発生が有効に防止される。これにより、データの消去時に発生するバンド間トンネリング自体が従来に比べて軽減されるとともに、バンド間トンネリングの発生位置が第 3 の不純物領域の下方に位置し第 1 の誘電体膜から遠くなる。この結果、データの消去時にバンド間トンネリングにより発生したホールが第 1 の誘電体膜にトラップされるのが有効に防止される。これにより、データの消去時に第 1 の誘電体膜の膜質が劣化することもなく、電荷蓄積電極から電子が引き抜かれにくくなるという不都合も生じない。また、第 3 の不純物領域によって、データの書込時に非選択セルの第 3 の不純物領域とドレイン領域となる第 1 または第 2 の不純物領域との境界領域で発生するバンド間トンネリングも或る程度軽減されるので、データの書込時に非選択セルで発生するバンド間トンネリングによるドレインディスタ

ートブ現象も軽減される。さらに、この請求項 1 に係る半導体記憶装置では、第 1 の不純物領域と第 2 の不純物領域のうちの少なくとも一方を電荷蓄積電極と重なりを有しないように形成することによって、データの書込時に非選択セルの電荷蓄積電極とドレイン領域となる第 1 または第 2 の不純物領域との間の電界が従来に比べて弱められ、F-N トンネリングによるドレインディスタ

10

20

30

40

50

高くすることによってアバランシェ現象が促進されるので、データの書込時に書込効率が低下するのを有効に防止することができる。さらに、第 4 の不純物領域を第 1 と第 2 の不純物領域の接合深さよりも浅い領域に形成することによって、それに比例して第 3 の不純物領域も浅くなり、第 3 の不純物領域下に位置するチャンネル領域への電荷蓄積電極からの電界が弱められるのが有効に防止される。これにより、電荷蓄積電極からの制御が不可能となるいわゆるバンチスルー現象が発生するのを有効に防止することができる。つまり、この請求項 2 に係る半導体記憶装置では、バンチスルー現象を極力防止しながら、データの消去時に電荷蓄積電極から電子を引き抜きにくくなる現象（エンデュランス特性の劣化）を有効に防止することができる。

【0145】請求項 3 ～ 5 に係る半導体記憶装置によれば、ソース領域上に接触してソース導電層を形成することによって、複数のメモリトランジスタの共通のソース領域が形成される場合において素子の微細化に伴ってそのソース領域が小さくなったとしても、ソース領域の抵抗が上昇するのを有効に防止することができる。この結果、データ信号が遅延するという不都合も生じない。

【0146】また、上記したチャンネル領域に位置する半導体基板の主表面を凹凸形状に形成すれば、その凹凸形状の凸部で電界集中が強められ、垂直電界が強くなる。これにより、書込の際に電荷蓄積電極に電子が注入されやすくなるとともに消去の際に電荷蓄積電極から電子が引き抜かれやすくなる。この結果、書込および消去の効率を向上させることができる。

【0147】さらに、上記したチャンネル領域に位置する半導体基板の主表面に第 2 導電型の不純物を形成すれば、いわゆるベリッドチャンネル構造となり、その不純物領域とソース領域との境界領域に高電界がかかることがない。この結果、バンド間トンネリングの発生を抑制することができバンド間トンネリングにより発生したホールが第 1 の誘電体膜にトラップされるのが低減される。

【0148】請求項 6 および 7 に係る半導体記憶装置によれば、ソース領域上に接触してソース導電層を形成するとともに、そのソース導電層の上に第 1 の誘電体膜を介して電荷蓄積電極を重ねるように形成することによって、消去動作をソース導電層と電荷蓄積電極との重なり部分で行なうことができる。そして、この重なり部分の面積は自由に設定できるので、重なり部分の面積を大きく取れば、良好な消去特性が得られる。また、このように消去動作をソース導電層と電荷蓄積電極との重なり部分で行なうように構成することによって、ソース領域を従来のようにチャンネル領域上の電荷蓄積電極と重ならせる必要がなく、オフセット構造にすることができる。この結果、バンド間トンネリングの発生位置がチャンネル領域上の第 1 の誘電体膜から遠くなる。これにより、バンド間トンネリングにより発生したホールが第 1 の誘電体

膜にトラップされるのが有効に防止されるので、エンデュランス特性の劣化を防止することができる。

【0149】請求項8に係る半導体記憶装置によれば、ドレイン領域上に接触してドレイン導電層を形成し、そのドレイン導電層上に第1の誘電体膜を介して電荷蓄積電極が重なるように構成することによって、データの書込動作をドレイン導電層と電荷蓄積電極との重なり部分で行なうことができる。そして、この重なり部分の大きさは自由に設定できるので、重なり部分の面積を大きく取れば、良好な書込特性を得ることができる。これと同時に、ドレイン領域をいわゆるオフセット構造にすることによって、データの書込時に非選択セルでの電界集中が発生する位置がチャンネル領域上の電荷蓄積電極の直下に位置しなくなり、バンド間トンネリングにより発生するホールもチャンネル領域上の電荷蓄積電極の直下に位置しなくなる。これにより、バンド間トンネリングにより発生したホールが電荷蓄積電極に注入されるのが有効に防止され、バンド間トンネリングによるドレインディスタ

ターブ現象も有効に防止することができる。また、チャンネル領域上の電荷蓄積電極とドレイン領域との間の電界も弱められるので、F-Nトンネリングによるドレインディスタ

【0150】請求項9に係る半導体記憶装置の製造方法によれば、電荷蓄積電極と制御電極との側壁部分に側壁絶縁膜を形成し、制御電極と側壁絶縁膜とをマスクとして半導体基板に第2導電型の不純物を導入することによって第2と第3の不純物領域のうちの少なくとも一方を形成することにより、容易に電荷蓄積電極と重なりを有しない第2または第3の不純物領域を形成することができる。これにより、データの書込時に非選択セルの電荷蓄積電極とドレイン領域となる第2または第3の不純物領域との間の電界が従来に比べて弱められ、F-Nトンネリングによるドレインディスタ

10

20

30

40

50

が引き抜かれにくくなる現象を有効に防止することができる。

【0151】請求項10に係る半導体記憶装置の製造方法では、第1導電型の半導体基板の主表面上に第2導電型の不純物を導入することによって第1の不純物領域を形成することにより、最終的に形成されるメモリセルのチャンネル領域の表面領域にも第1の不純物領域が形成されるので、請求項9と同様に、バンド間トンネリングに起因するデータの消去時に電子が引き抜かれにくくなる現象を有効に防止できるとともに、バンド間トンネリングによるドレインディスタ

ターブ現象も軽減できる。さらに、第1の不純物領域が形成される領域よりも深い領域に第1の不純物領域を覆う第1導電型の第2の不純物領域を形成することによって、その第2の不純物領域の不純物濃度を高くすることにより第1の不純物領域の形成によるベリッドチャンネル構造に起因する書込効率の低下を有効に防止することができる。さらに、第2の不純物領域を第3と第4の不純物領域の接合深さよりも浅い深さを有するように形成することによって、それに比例して第1の不純物領域も浅くなり、第1の不純物領域下に位置するチャンネルへの電荷蓄積電極からの電界が弱められるのが有効に防止される。この結果、電荷蓄積電極からの制御が不可能となるいわゆるバンチスルー現象が発生するのを有効に防止することができる。

【0152】請求項11および12に係る半導体記憶装置の製造方法によれば、ソース領域が形成される領域上にソース導電層を接触して形成することによって、素子が微細化されてソース領域が小さくなった場合にもソース領域の抵抗値の上昇を有効に防止し得る半導体装置を容易に製造することができる。

【0153】請求項13に係る半導体記憶装置の製造方法によれば、ソース領域が形成される領域上にソース導電層を形成し、ドレイン領域が形成される領域上にドレイン導電層を形成し、チャンネル領域、ソース導電層およびドレイン導電層上に第1の誘電体膜を介して電荷蓄積電極を形成することによって、データの消去をソース導電層と電荷蓄積電極との重なり部分で行なうことができ、データの書込動作はドレイン導電層と電荷蓄積電極との重なり部分で行なうことができる。これと同時に、ソース領域およびドレイン領域をいわゆるオフセット構造に構成することによって、データの消去時のエンデュランス特性の劣化を防止できるとともにデータの書込時のドレインディスタ

【図面の簡単な説明】

【図1】本発明の第1実施例によるスタックゲート型のフラッシュEEPROMを示した断面構造図である。

【図2】図1に示した第1実施例のフラッシュEEPROMのメモリセル部分を示した断面構造図である。

【図3】図1に示した第1実施例のフラッシュEEPROMのメモリセル部分を示した断面構造図である。



OMの製造プロセスの第1工程を説明するための断面構造図である。

【図4】図1に示した第1実施例のフラッシュEEPROMの製造プロセスの第2工程を説明するための断面構造図である。

【図5】図1に示した第1実施例のフラッシュEEPROMの製造プロセスの第3工程を説明するための断面構造図である。

【図6】図1に示した第1実施例のフラッシュEEPROMの製造プロセスの第4工程を説明するための断面構造図である。 10

【図7】図1に示した第1実施例のフラッシュEEPROMの製造プロセスの第5工程を説明するための断面構造図である。

【図8】図1に示した第1実施例のフラッシュEEPROMの製造プロセスの第6工程を説明するための断面構造図である。

【図9】図1に示した第1実施例のフラッシュEEPROMの製造プロセスの第7工程を説明するための断面構造図である。 20

【図10】図1に示した第1実施例のフラッシュEEPROMの製造プロセスの第8工程を説明するための断面構造図である。

【図11】図1に示した第1実施例のフラッシュEEPROMの製造プロセスの第9工程を説明するための断面構造図である。

【図12】図1に示した第1実施例のフラッシュEEPROMの製造プロセスの第10工程を説明するための断面構造図である。

【図13】図1に示した第1実施例のフラッシュEEPROMの製造プロセスの第11工程を説明するための断面構造図である。 30

【図14】本発明の第2実施例によるスタックゲート型のフラッシュEEPROMのメモリセル部分を示した断面構造図である。

【図15】図14に示した第2実施例のフラッシュEEPROMの製造プロセスを説明するための断面構造図である。

【図16】本発明の第3実施例によるスタックゲート型のフラッシュEEPROMのメモリセル部分を示した断面構造図である。 40

【図17】図16に示した第3実施例のフラッシュEEPROMの製造プロセスを説明するための断面構造図である。

【図18】本発明の第4実施例によるスタックゲート型のフラッシュEEPROMのメモリセル部分を示した断面構造図である。

【図19】図18に示した第4実施例のフラッシュEEPROMの製造プロセスの第1段階を説明するための断面構造図である。 50

【図20】図18に示した第4実施例のフラッシュEEPROMの製造プロセスの第2段階を説明するための断面構造図である。

【図21】本発明の第5実施例によるスタックゲート型のフラッシュEEPROMのメモリセル部分を示した断面構造図である。

【図22】図21に示した第5実施例のフラッシュEEPROMの製造プロセスの第1段階を説明するための断面構造図である。

【図23】図21に示した第5実施例のフラッシュEEPROMの製造プロセスの第2段階を説明するための断面構造図である。

【図24】本発明の第6実施例によるスタックゲート型のフラッシュEEPROMのメモリセル部分を示した断面構造図である。

【図25】図24に示した第6実施例のフラッシュEEPROMの製造プロセスの第1段階を説明するための断面構造図である。

【図26】図24に示した第6実施例のフラッシュEEPROMの製造プロセスの第2段階を説明するための断面構造図である。 20

【図27】本発明の第7実施例によるフラッシュEEPROMのメモリセル部分を示した断面構造図である。

【図28】図27に示した第7実施例のフラッシュEEPROMの製造プロセスの第1工程を説明するための断面構造図である。

【図29】図27に示した第7実施例のフラッシュEEPROMの製造プロセスの第2工程を説明するための断面構造図である。

【図30】図27に示した第7実施例のフラッシュEEPROMの製造プロセスの第3工程を説明するための断面構造図である。 30

【図31】図27に示した第7実施例のフラッシュEEPROMの製造プロセスの第4工程を説明するための断面構造図である。

【図32】図27に示した第7実施例のフラッシュEEPROMの製造プロセスの第5工程を説明するための断面構造図である。

【図33】図27に示した第7実施例のフラッシュEEPROMの製造プロセスの第6工程を説明するための断面構造図である。 40

【図34】図27に示した第7実施例のフラッシュEEPROMの製造プロセスの第7工程を説明するための断面構造図である。

【図35】図27に示した第7実施例のフラッシュEEPROMの製造プロセスの第8工程を説明するための断面構造図である。

【図36】図27に示した第7実施例のフラッシュEEPROMの製造プロセスの第9工程を説明するための断面構造図である。 50



【図37】図27に示した第7実施例のフラッシュEEPROMの製造プロセスの第10工程を説明するための断面構造図である。

【図38】本発明の第8実施例によるフラッシュEEPROMのメモリセル部分を示した断面構造図である。

【図39】本発明の第9実施例によるフラッシュEEPROMのメモリセル部分を示した断面構造図である。

【図40】本発明の第10実施例によるフラッシュEEPROMのメモリセル部分を示した断面構造図である。

【図41】図40に示した第10実施例のフラッシュEEPROMの製造プロセスの第1工程を説明するための断面構造図である。

【図42】図40に示した第10実施例のフラッシュEEPROMの製造プロセスの第2工程を説明するための断面構造図である。

【図43】図40に示した第10実施例のフラッシュEEPROMの製造プロセスの第3工程を説明するための断面構造図である。

【図44】図40に示した第10実施例のフラッシュEEPROMの製造プロセスの第4工程を説明するための断面構造図である。

【図45】図40に示した第10実施例のフラッシュEEPROMの製造プロセスの第5工程を説明するための断面構造図である。

【図46】図40に示した第10実施例のフラッシュEEPROMの製造プロセスの第6工程を説明するための断面構造図である。

【図47】本発明の第11実施例によるフラッシュEEPROMのメモリセル部分を示した断面構造図である。

【図48】図47に示した第11実施例のフラッシュEEPROMの製造プロセスを説明するための断面構造図である。

【図49】本発明の第12実施例によるフラッシュEEPROMのメモリセル部分を示した断面構造図である。

【図50】図49に示した第12実施例のフラッシュEEPROMの製造プロセスの第1工程を説明するための断面構造図である。

【図51】図49に示した第12実施例のフラッシュEEPROMの製造プロセスの第2工程を説明するための断面構造図である。

【図52】図49に示した第12実施例のフラッシュE\*

\* E・PROMの製造プロセスの第3工程を説明するための断面構造図である。

【図53】図49に示した第12実施例のフラッシュEEPROMの製造プロセスの第4工程を説明するための断面構造図である。

【図54】図49に示した第12実施例のフラッシュEEPROMの製造プロセスの第5工程を説明するための断面構造図である。

【図55】図49に示した第12実施例のフラッシュEEPROMの製造プロセスの第6工程を説明するための断面構造図である。

【図56】図49に示した第12実施例のフラッシュEEPROMの製造プロセスの第7工程を説明するための断面構造図である。

【図57】従来のフラッシュEEPROMの一般的な構成を示したブロック図である。

【図58】図57に示したメモリセルマトリックスの概略構成を示した等価回路図である。

【図59】従来のスタックゲート型のフラッシュEEPROMを示した平面概略図である。

【図60】図59に示したフラッシュEEPROMのA-Aに沿って見た断面構造図である。

【図61】ドレインディスターブ現象を説明するためのメモリセルマトリックスの部分等価回路図である。

【図62】F-Nトンネリングによるドレインディスターブ現象を説明するための断面構造図である。

【図63】バンド間トンネリングによるドレインディスターブ現象を説明するための断面構造図である。

【図64】データの消去時に発生するエンデュランス特性の劣化を説明するための断面構造図である。

【符号の説明】

1：P型シリコン基板

2：P型不純物層

3：N型不純物層

4：酸化膜

5：フローティングゲート電極

6：層間絶縁膜

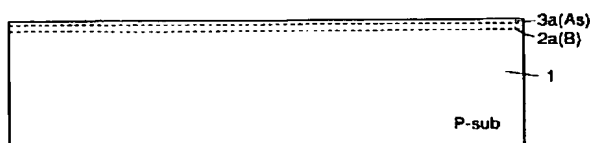
7：コントロールゲート電極

9：ドレイン拡散領域

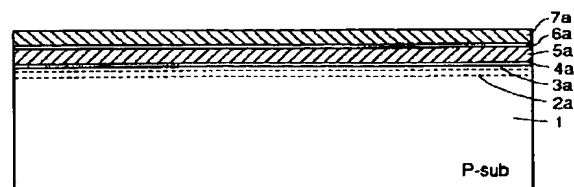
10：ソース拡散領域

なお、各図中、同一符号は同一または相当部分を示す。

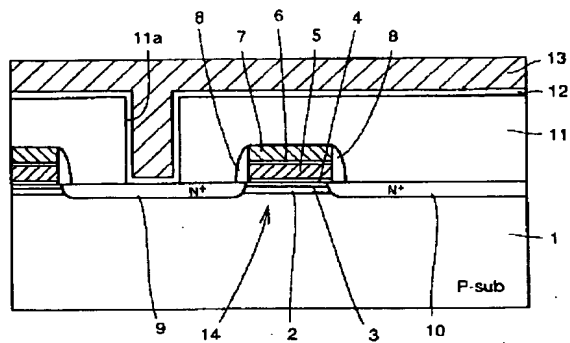
【図3】



【図4】

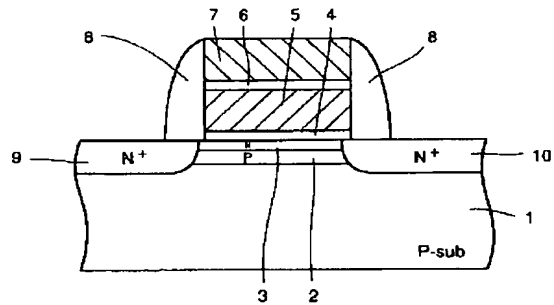


【図1】

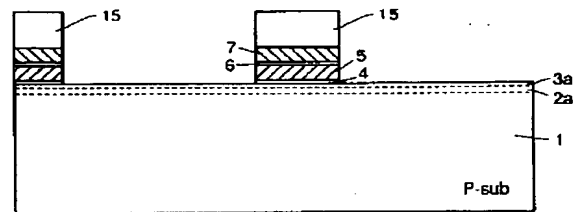


- 1:P型シリコン基板  
2:P型不純物層  
3:N型不純物層  
4:酸化膜  
5:フローティングゲート電極  
6:層間絶縁膜  
7:コントロールゲート電極  
8:サイドウォール酸化膜  
9:ドレイン拡散領域  
10:ソース拡散領域

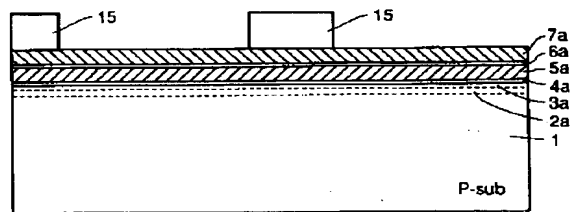
【図2】



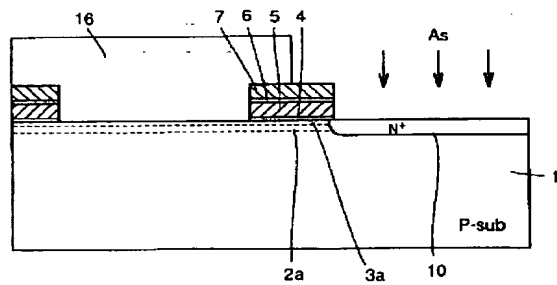
【図6】



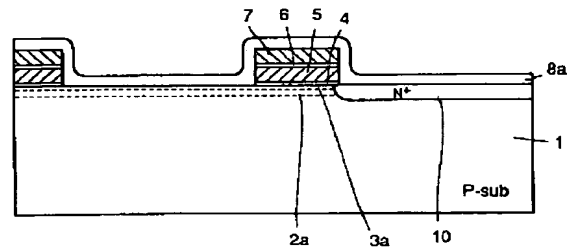
【図5】



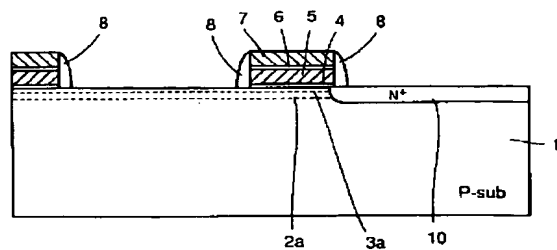
【図7】



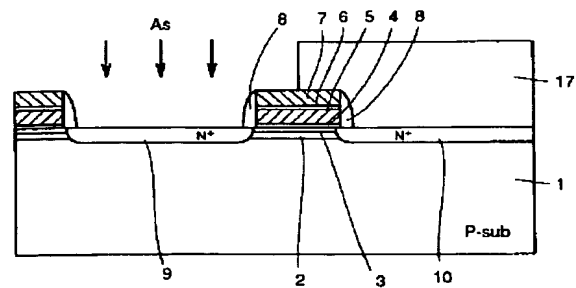
【図8】



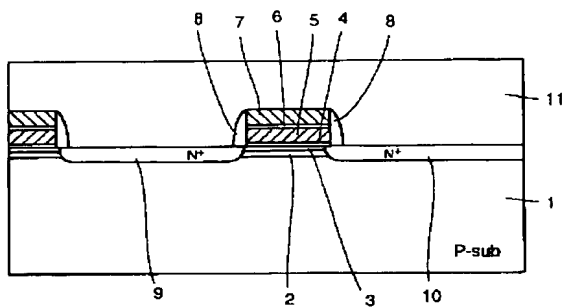
【図9】



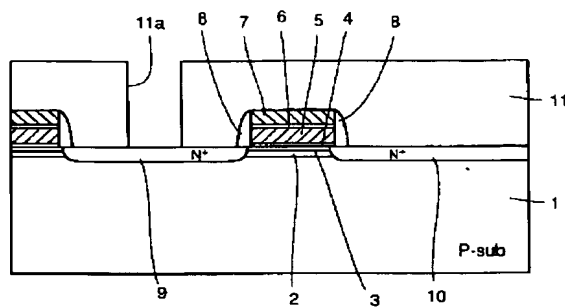
【図10】



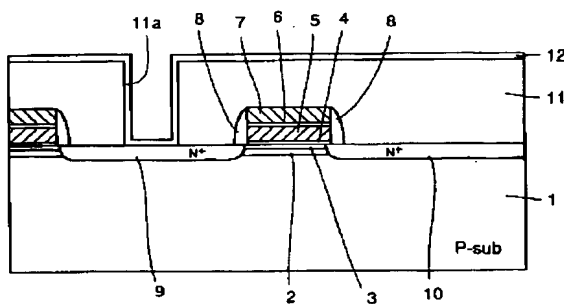
【図11】



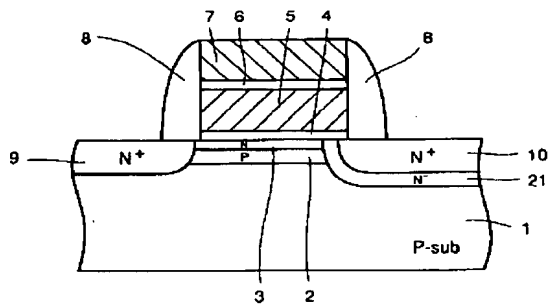
【図12】



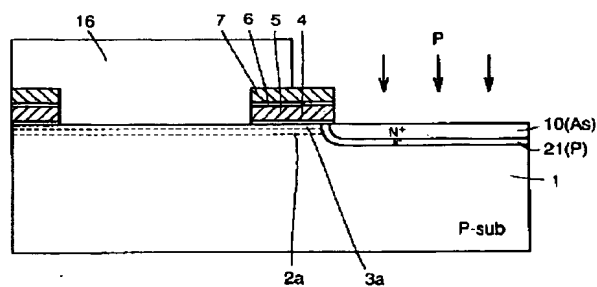
【図13】



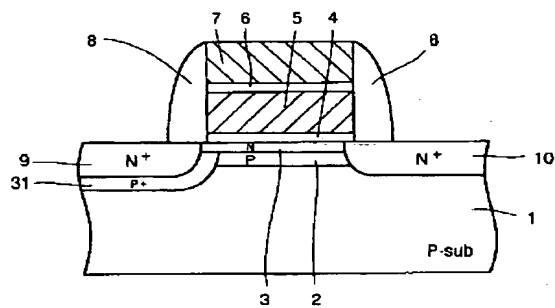
【図14】



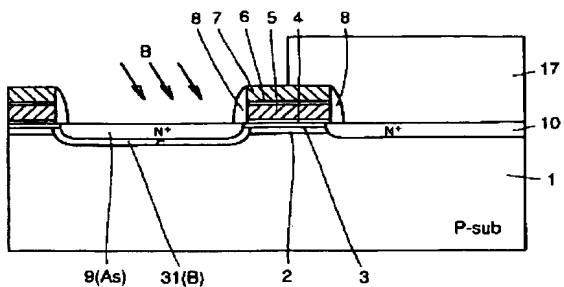
【図15】



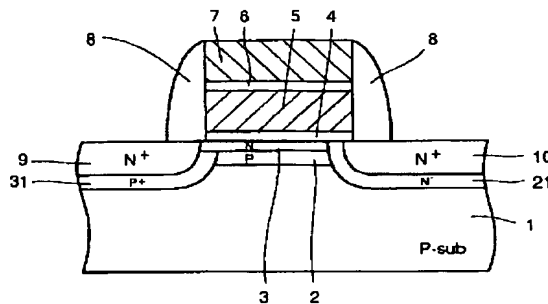
【図16】



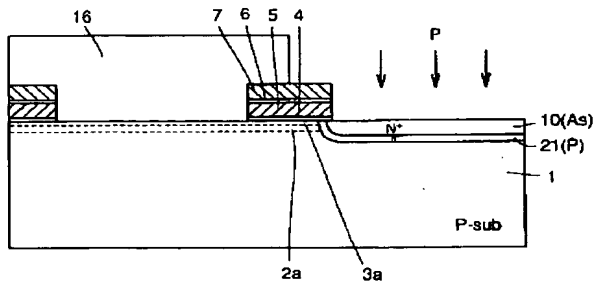
【図17】



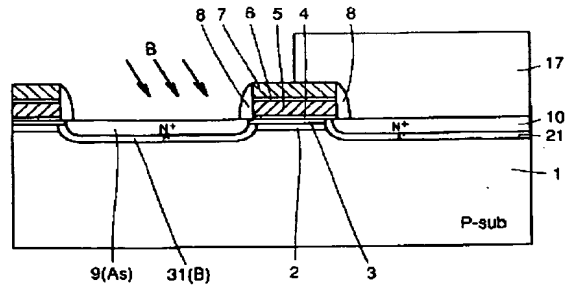
【図18】



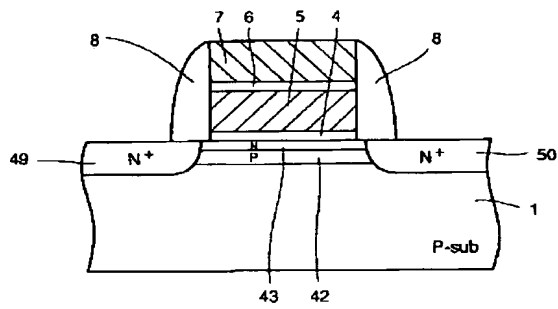
【図19】



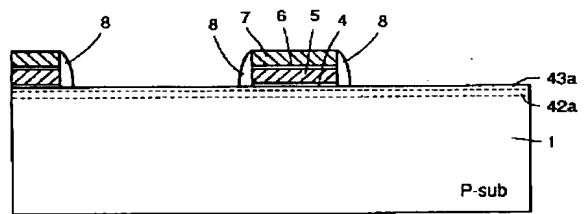
【図20】



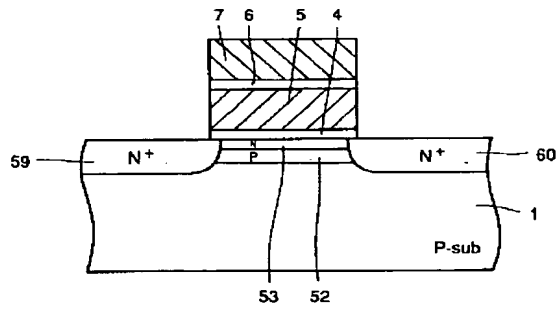
【図21】



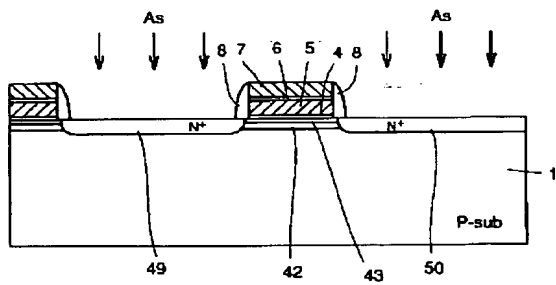
【図22】



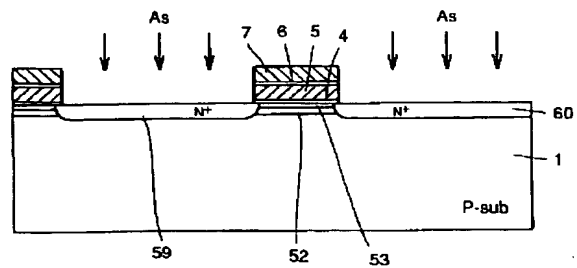
【図24】



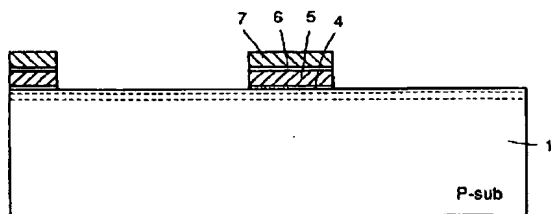
【図23】



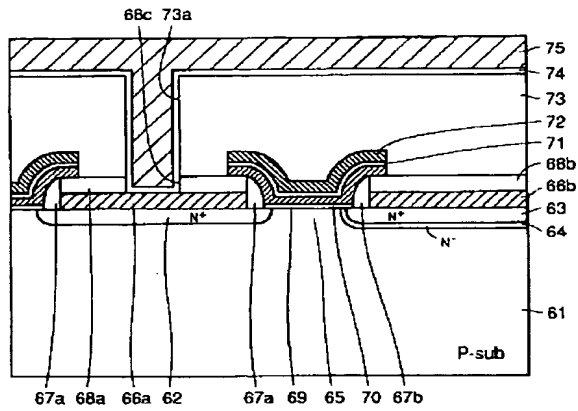
【図26】



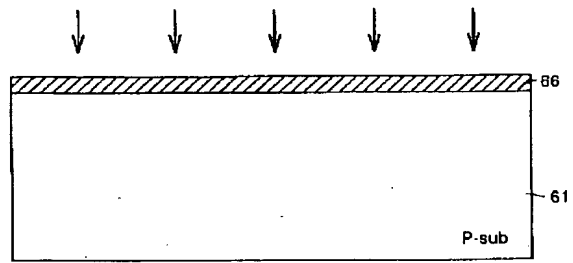
【図25】



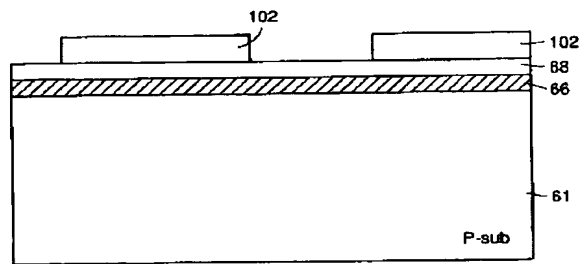
【図 27】



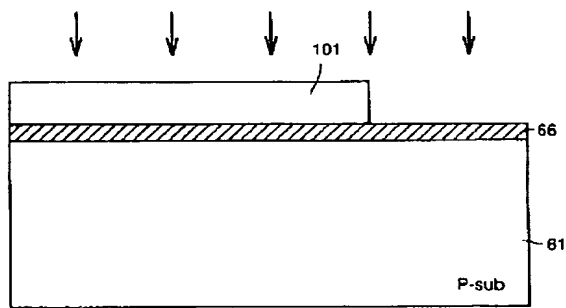
【図 28】



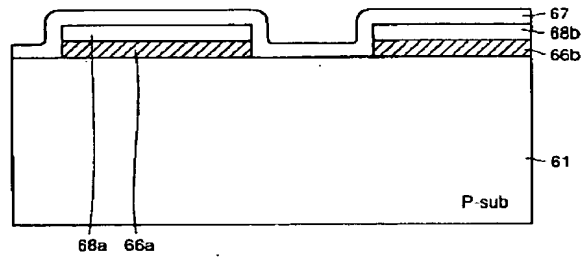
【図 30】



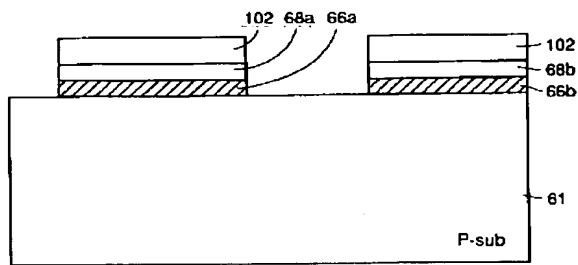
【図 29】



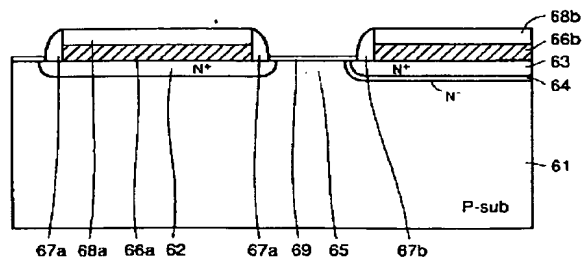
【図 32】



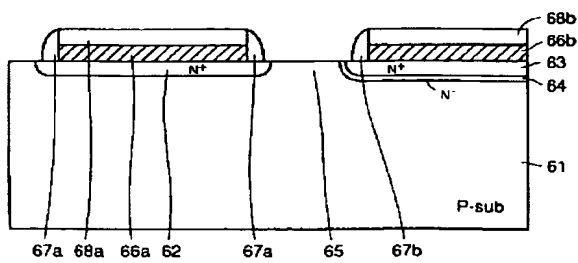
【図 31】



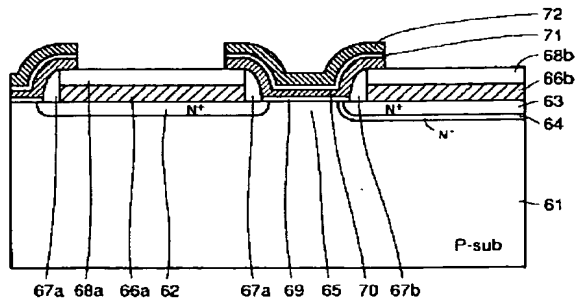
【図 34】



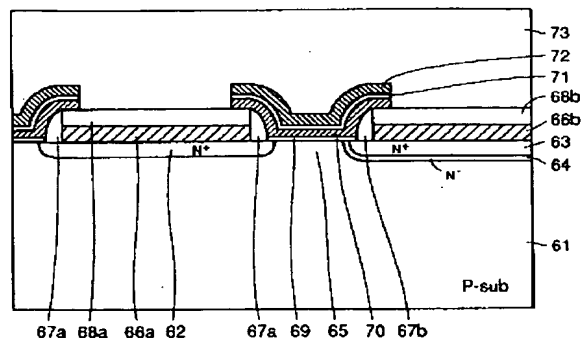
【図 33】



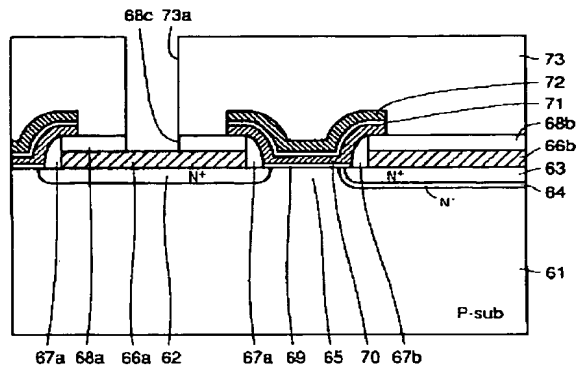
【図35】



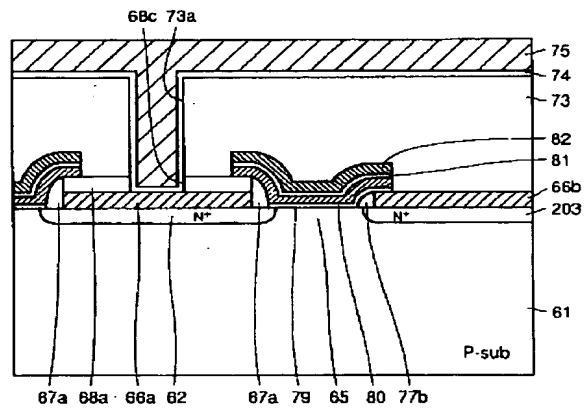
【図36】



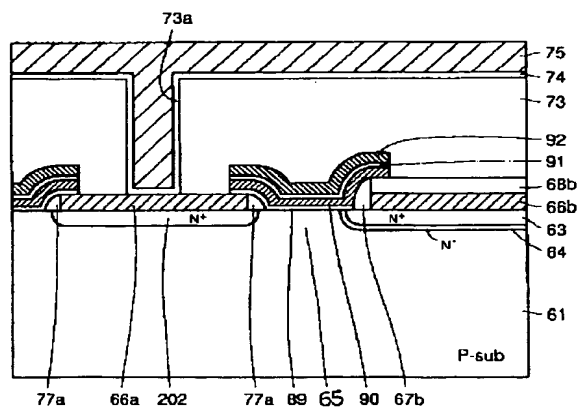
【図37】



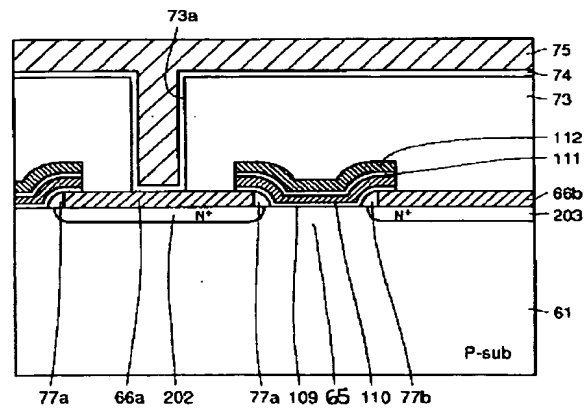
【図38】



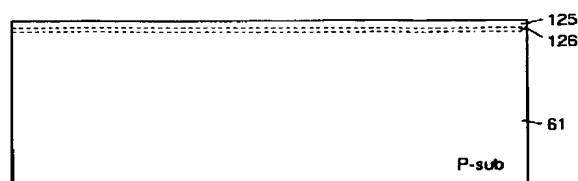
【図39】



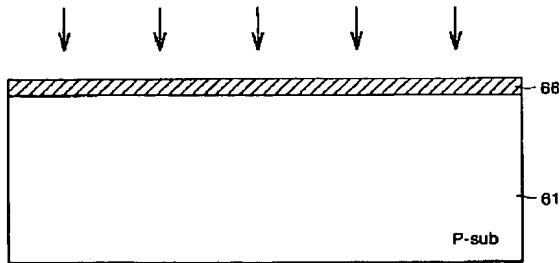
【図40】



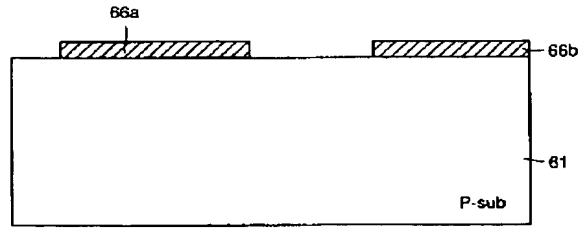
【図50】



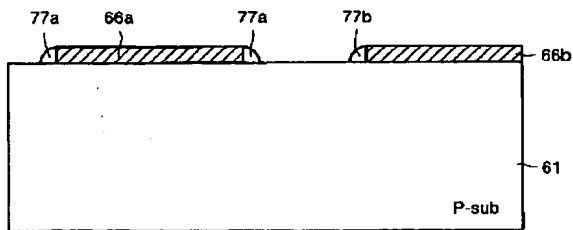
【図 4 1】



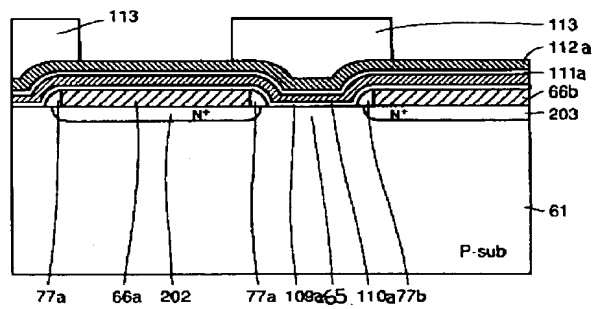
【図 4 2】



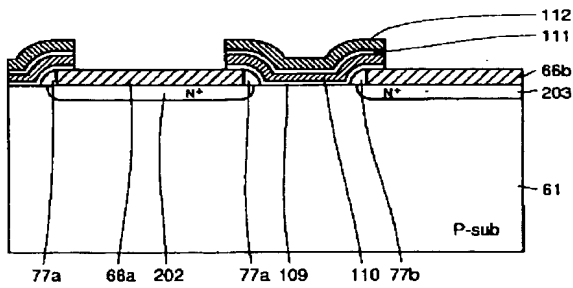
【図 4 3】



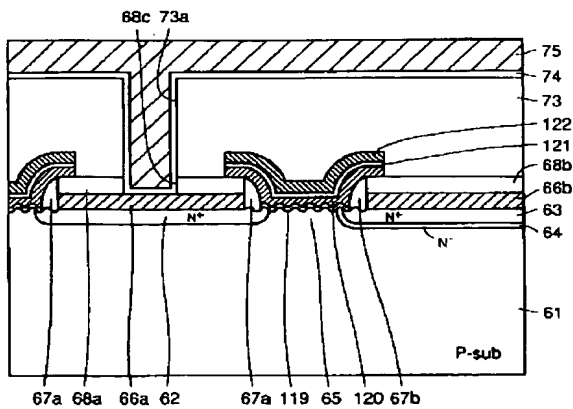
【図 4 4】



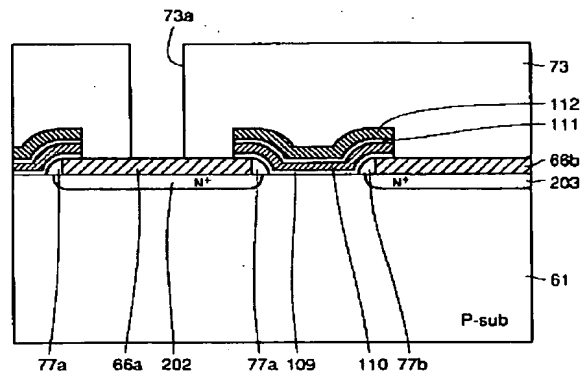
【図 4 5】



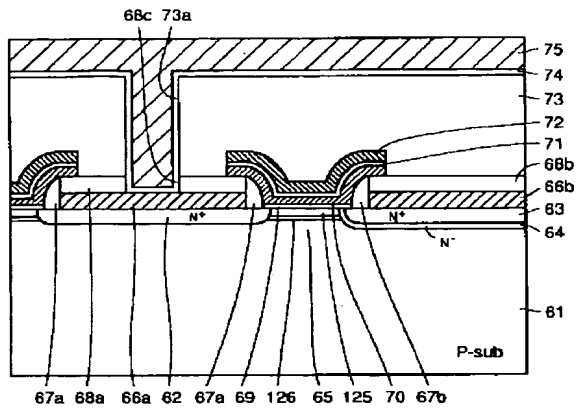
【図 4 7】



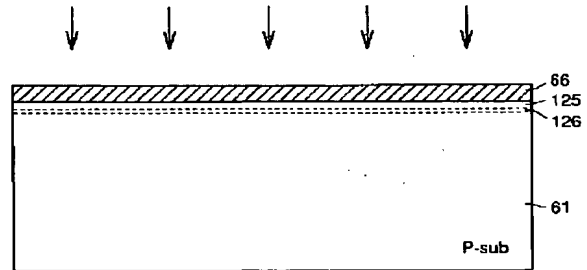
【図 4 6】



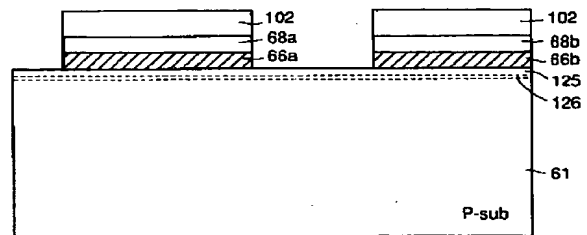
【圖 49】



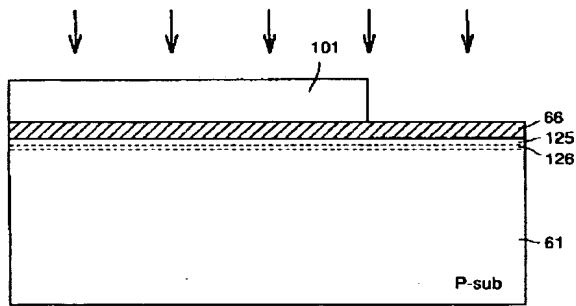
【図5 1】



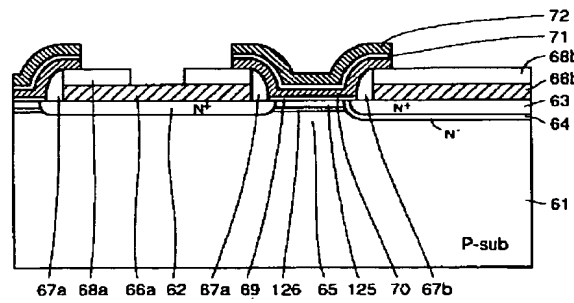
【図53】



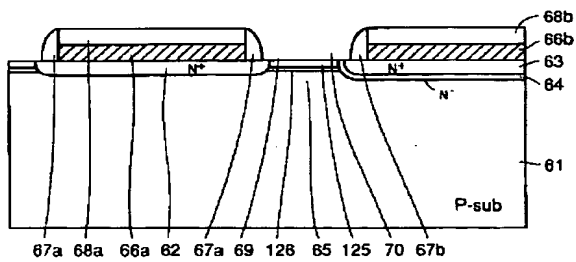
【図52】



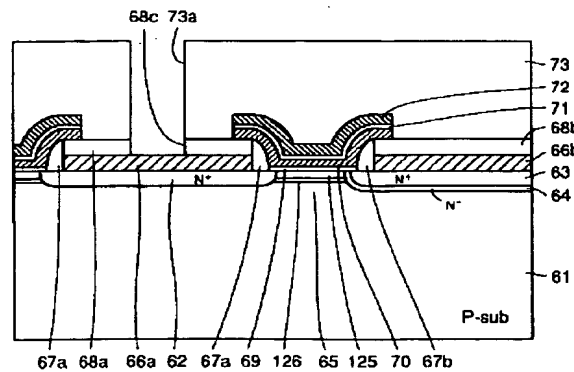
【図55】



【図54】

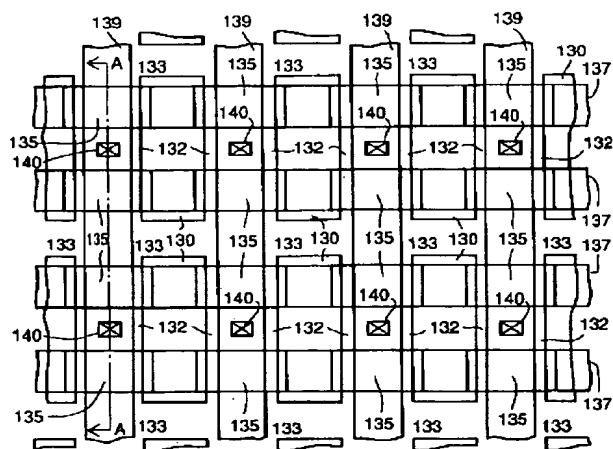


【図5.6】

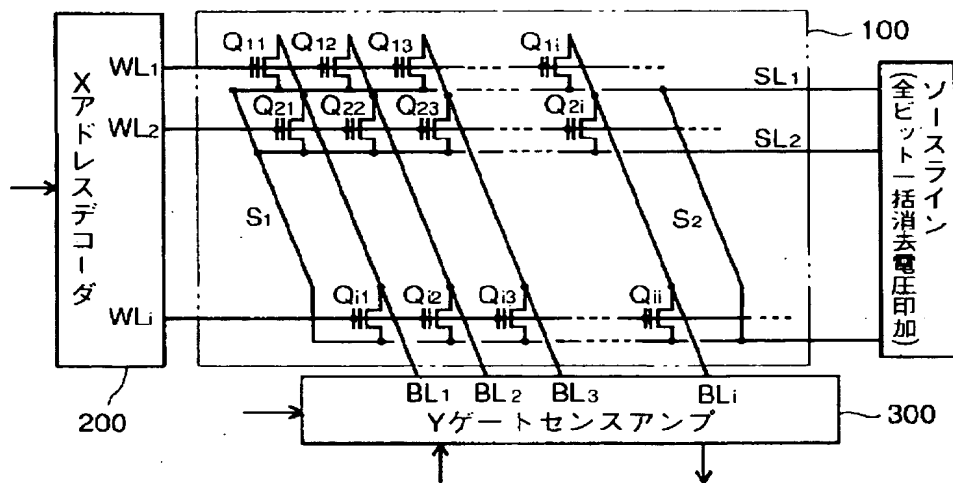




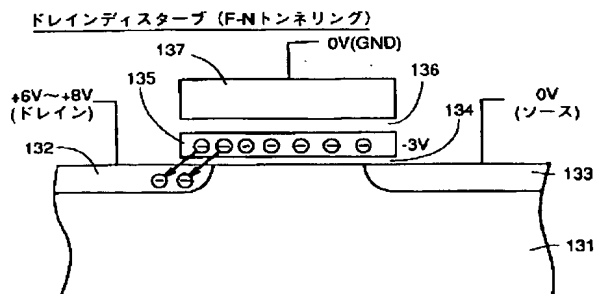
【圖 59】



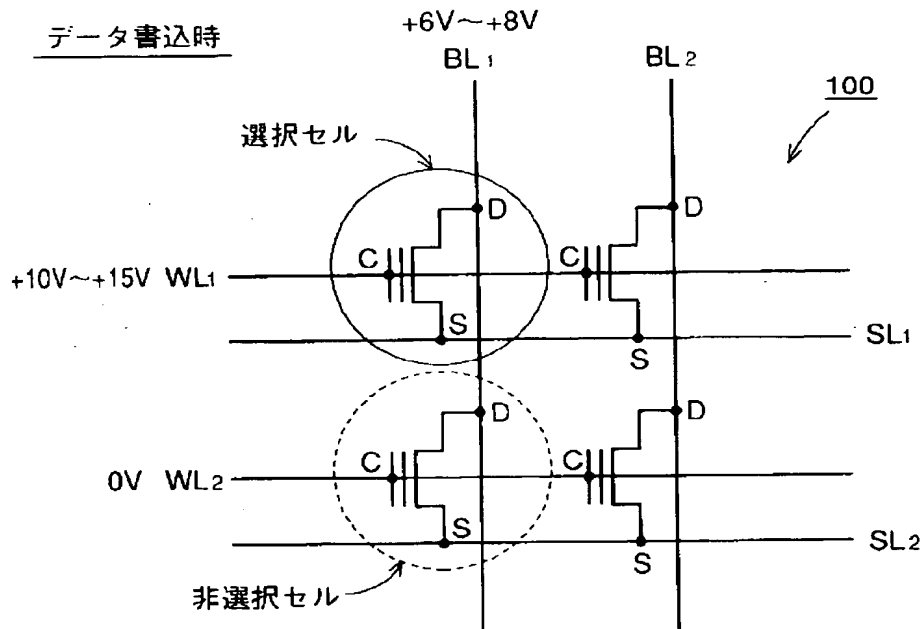
【図58】



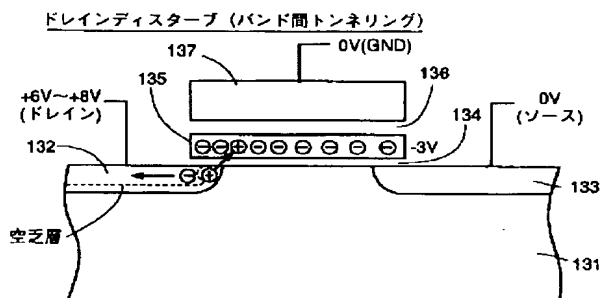
【圖 6 2】



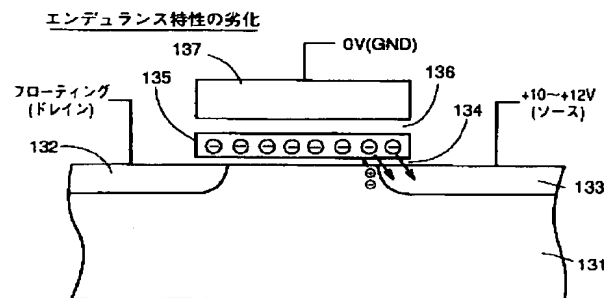
【図 6 1】



【図 6 3】



【図 6 4】



フロントページの続き

(72)発明者 山口 偉久  
 兵庫県伊丹市瑞原 4 丁目 1 番地 三菱電機  
 株式会社エル・エス・アイ研究所内